|  |  |
| --- | --- |
| **«Затверджую»**  Завідувач кафедри інформаційних технологій  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Тетяна ГОНЧАРЕНКО/  «21 » червня 2024 р.  Розробник силабусу  \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Голенков В.Г./ | LogoKNUBA3 |

**СИЛАБУС**

КОМП’ЮТЕРНА СХЕМОТЕХНІКА І АРХІТЕКТУРА КОМП’ЮТЕРІВ

(назва освітньої компоненти (дисципліни)

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Шифр за освітньою програмою:** ОК2 | | | | | | | | | | |
| **Навчальний рік:** 2024/2025 | | | | | | | | | | |
| **Освітній рівень:** перший рівень вищої освіти (бакалавр) | | | | | | | | | | |
| **Форма навчання:** денна | | | | | | | | | | |
| **Галузь знань**: 01 «Освіта Педагогіка» | | | | | | | | | | |
| **Спеціальність, назва освітньої програми:** 015.39 «Професійна освіта. Цифрові технології» | | | | | | | | | | |
| **8) Статус освітньої компоненти:** основна | | | | | | | | | | |
| **9) Семестр:** III | | | | | | | | | | |
| **11) Контактні дані викладача:** cт. викладач Голенков В.Г., [golenkov.vg@knuba.edu.ua](mailto:golenkov.vg@knuba.edu.ua), [golenkov\_volodim@ukr.net](mailto:golenkov_volodim@ukr.net), +380660736956 | | | | | | | | | | |
| **12) Мова викладання:** українська | | | | | | | | | | |
| **13) Пререквізити** (дисципліни-попередники, які необхідно вивчити, щоб слухати цей курс)**:** «Основи програмування», «Вища математика», «Дискретна математика» | | | | | | | | | | |
| **14) Мета курсу:** придбання студентами теоретичних знань та практичних навичок з комп'ютерної схемотехніки та архітектури комп'ютерів, які надають їм чіткі уявлення про функціональні компоненти, з яких складаються сучасні комп'ютери, їхні характеристики, принципи їх функціонування та проектування. | | | | | | | | | | |
| **15) Результати навчання:** | | | | | | | | | | |
| **№** | **Програмний результат навчання** | | | | **Метод перевірки навчального ефекту** | **Форма проведення занять** | | **Посилання компетентності** | | |
| 1. | **ПР02**. Володіти інформацією чинних нормативно-правових документів, законодавства, галузевих стандартів професійної діяльності в установах, на виробництвах, організаціях галузі/сфери (відповідно до спеціалізації). | | | | Обговорення під час занять, індивідуальна та курсова роботи | Лекції, лабораторні роботи | | К06  К07  К12, К14  К16, К19 | | |
| 2. | **ПР10**. Знати основи психології, педагогіки, а також фундаментальних і прикладних наук (відповідно до спеціалізації) на рівні, необхідному для досягнення інших результатів навчання, передбачених цим стандартом та освітньою програмою. | | | | Обговорення під час занять, індивідуальна та курсова роботи | Лекції, лабораторні роботи | | К06  К07  К12, К14  К16, К19 | | |
| 3. | **ПР18**. Розв’язувати типові спеціалізовані задачі, пов’язані з вибором матеріалів, виконанням необхідних розрахунків, конструюванням, проектуванням технічних об’єктів у предметній галузі (відповідно до спеціалізації). | | | | Обговорення під час занять, індивідуальна та курсова роботи | Лекції, лабораторні роботи | | К06  К07  К12, К14  К16, К19 | | |
| 4. | **ПР19**. Уміти обирати і застосовувати необхідне устаткування, інструменти та методи для вирішення типових складних завдань у галузі (відповідно до спеціалізації) | | | | Обговорення під час занять, індивідуальна та курсова роботи | Лекції, лабораторні роботи | | К06  К07  К12, К14  К16, К19 | | |
| **16) Структура курсу:** | | | | | | | | | | |
| Лекції,  год. | | Практичні заняття,  год. | Лабораторні заняття,  год. | Курсовий проект/ курсова робота  РГР/Контрольна  робота | | Самостійні робота здобувача,  год. | | | | Форма підсумко-вого контролю |
| 30 | | 30 |  | 1 | | 90 | | | | Залік |
| **Сума годин:** | | | | 150 | | | | | | |
| **Загальна кількість кредитів ЕСТS** | | | | 5 | | | | | | |
| **Кількість годин (кредитів ЕСТS) аудиторного навантаження:** | | | | 60 (2) | | | | | | |
| **17) Зміст курсу: (окремо для кожної форми занять – Л/Пр/Лаб/ КР/СРС)**  **Лекції:**  **Модуль 1. Комп'ютерна схемотехніка**  **Змістовний модуль 1. Аналіз і синтез комбінаційних схем.**  **Лекція 1. Вступ до схемотехніки.**  Тема 1. Логічні основи цифрової схемотехніки.  Тема 2. Роль і місце схемотехніки серед інших дисциплін професійної підготовки фахівців з комп'ютерних наук.  Тема 3. Сучасний стан розвитку схемотехніки.  Тема 4. Зміст і структура курсу.  Тема 5. Класична трирівнева архітектура.  **Лекція 2. Логічні функції одного і двох аргументів, їх назви формульні та схемні позначення, опис мовою VHDL.**  Тема 1. Функціонально-повні набори функцій. Властивості кон'юнкції, диз'юнкції, інверсії.  Тема 2. Мінімізація логічних функцій. Поняття про мінімізацію логічних функцій. Методи Квайна і Карно.  Тема 3. Мінімізація неповністю визначених функцій.  **Лекція 3. Основи схемної реалізації логічних функцій.**  Тема 1. Історія розвитку елементної бази комп'ютерів.  Тема 2. Приклади схемної реалізації логічних функцій НІ, І-НІ.  Тема 3. Типи вихідних каскадів інтегральних мікросхем: звичайний, з відкритим колектором, тристабільний.  Тема 4. Характеристики інтегральних мікросхем. Серії мікросхем. Позначення мікросхем на схемах.  **Лекція 4. Загальні відомості про VHDL: опис сутності й архітектури**.  **Лекція 5. Поняття про комбінаційні і послідовнісні схеми.**  Тема 1. Типові комбінаційні схеми. Дешифратор, шифратор. Реалізація логічних функцій за допомогою дешифратора і шифратора. Мультиплексор, демультиплексор. Реалізація логічних функцій на мультиплексорі.  Тема 2. Однорозрядний комбінаційний суматор. Паралельний суматор. Багатовходові суматори. Способи представлення від'ємних чисел і вико-нання віднімання у суматорі.  Тема 3. Комбінаційні арифметико-логічні пристрої. Програ-мовані логічні матриці. Реалізація довільних логічних функцій на ПЛМ. Типи ПЛМ. Схеми рівності й порівняння кодів, мажоритарні елементи, схеми згортки по модулю тощо.  **Змістовий модуль 2. Аналіз і синтез послідовнісних схем.**  **Лекція 1. Типові послідовнісні схеми.**  Тема 1. Тригери: визначення, класифікація, схеми побудови, приклади використання.  Тема 2. Лічильники і регістри.  **Лекція 2. Опис і синтез скінчених автоматів. Автомати Мілі, Мура, їх опис та структурний синтез.**  **Лекція 3. Приклади побудови арифметичних пристроїв.**  **Модуль 2. Архітектура комп'ютерів.**  **Змістовий модуль 3. Огляд і класифікація комп'ютерних архітектур.**  **Лекція 1. Архітектура комп'ютерів: основні поняття, історія розвитку, сучасний стан. Основні поняття і визначення. Світова і вітчизняна історія розвитку обчислювальної техніки.**  **Лекція 2. Класичні архітектури комп'ютерів.**  Тема 1. Функціональна класифікація комп'ютерів. Класифікація обчислювальних систем за ознакою паралелізму команд і даних.  Тема 2. Архітектури: фон Неймана, гарвардська, акумулятор, стекова, регістр-регістр, CISС, RISС.  **Змістовий модуль 4. Архітектури сучасних ПК і програмування на асемблері**  **Лекція 1. Архітектура і система команд мікропроцесорів сучасних ПК. Що таке асемблер і коли його доцільно використовувати. Структура програми на асемблері.**  **Лекція 2. Регістри загального призначення 16-, 32- і 64-розрядних мікропроцесорів.**  Тема 1. Сегментні регістри і їх використання в реальному і захищеному режимах. Стек і його використання. Тема 2. Способи адресації: регістрова, безпосередня, пряма, непряма, по базі зі зміщенням, непряма з масштабуванням, по базі з індексуванням, по базі з індексуванням і масштабуванням. Регістр прапорців FLAGS і його використання.  **Лекція 3. Огляд основних непривілейованих команд та прийомів програмування на асемблері**.  Тема 1. Команди пересилки даних. Арифметичні команди. Логічні команди. Команди зсуву. Команди передачі управління. Операції з рядками тощо.  **Змістовий модуль 5. Схемотехніка мікропроцесорів**  **Лекція 1. Архітектура та організація шинного інтерфейсу мікропроцесорних систем. Мультиплексування шин. Цикл шини.**  **Лекція 2. Архітектура і схемотехніка простої мікропроцесорної системи: формування сигналів шини адреси, даних і управління.**  **Лекція 3. Типи напівпровідникової пам‘яті та підключення мікросхем пам'яті до шин мікропроцесора.**  Тема 1. Особливості підключення мікросхем пам'яті до шини даних різної розрядності.  Тема 2. Ієрархія пам'яті сучасних ПК.  **Лекція 4. Порти зовнішніх пристроїв та їх підключення до шин мікропроцесора.**  Тема 1. Загальні принципи побудови паралельного інтерфейсу. Застосування буферних регістрів та програмованих паралельних інтерфейсів для побудови портів.  Тема 2. Принципи побудови послідовного інтерфейсу та приклади його реалізації. Послідовний зв'язок через модем та нуль-модем.  Тема 3. Огляд паралельних і послідовних інтерфейсів сучасних ПК.  **Лекція 5. Система переривань та засоби її програмної і апаратної реалізації.**  Тема 1. Способи організації вводу-виводу: програмне управління вводом-виводом, застосування переривань, прямий доступ до пам'яті.  Тема 2. Функції системи переривань, їх апаратна та програмна реалізація. Реалізація системи переривань у сучасних ПК. Контролер пріоритетних переривань та його використання.  **Практичні:**  1. Мінімізація логічних функцій методом Квайна та за допомогою карт Карно.  2. Розробка комбінаційних схем на основі неповністю визначених логічних функцій.  3. Програмування на Асемблері.  **Лабораторні:**  1. Реалізація моделі логічних елементів  2. Синтез комбінаційних схем і їх моделювання засобами FSM-editor  3. Синтез тригерів.  4. Дослідження тригерів.  5. Синтез лічильників.  6. Дослідження лічильників.  7. Синтез цифрових автоматів.  8. Дослідження цифрових автоматів.  9. Регулювання температури, модель.  10. Регулювання температури, програмна реалізація 1.  11. Регулювання температури, програмна реалізація 2.  12. Управління кроковим двигуном, модель.  13. Управління кроковим двигуном, програмна реалізація 1.  14. Управління кроковим двигуном, програмна реалізація 2.  15. Управління рухом.  16. Управління рухом, програмні реалізації 1 та 2.  **Індивідуальне завдання:**  Індивідуальне завдання на тему «Дослідження швидкісних властивостей тригерів і лічильників» виконується у першому семестрі. В рамках цього завдання студенти, згідно зі своїм варіантом, будують тригер на елементах І-НЕ чи АБО-НЕ із заданою затримкою, визначають затримки в тригері, моделюючи його схему в програмному середовищі Active-HDL. Після цього вони будують із цих тригерів лічильник, вимірюють час найдовшого перехідного процесу в схемі лічильника, та виводять загальну формулу для найдовшого перехідного процесу для довільної затримки в логічному елементі та довільної розрядності лічильника.  **Курсова робота:**  На тему “Розробка мікропроцесорного контролера…”  1. технологічної лінії з виробництва бетону;  2. перевірки міцності бетону;  3. виробництва цегли;  4. столярного виробництва;  5. вимірювання координат об’єкту;  6. електронних ваг;  7. баштового крану;  8. кондиціювання повітря;  9. програмованого таймера;  10. конвеєрної лінії;  11. системи зв’язку;  12. системи охоронної сигналізації;  13. лінії дозування рідин;  14. лінії для фарбування деталей;  15. лінії для пакування виробів;  16. електронного табло;  17. верстата з числовим програмним управлінням тощо.  **Самостійна робота студента:**  1. Виконання індивідуальної роботи.  2. Виконання лабораторних робіт.  3. Підготовка до лекцій.  4. Підготовка до заліку. | | | | | | | | | | |
| **18) Основна література:**   1. Кондратенко Ю.П., Сидоренко С.А., Підопригора Д.М. “Поведінковий синтез цифрових пристроїв в середовищі Active-HDL” - Миколаїв, Миколаївський державний гуманітарний університет імені Петра Могили, 2002. – 116 с. 2. Сергиенко А.М. VHDL для проектирования вычислительных устройств. . – К.: ЧП "Корнейчук", ООО "ТИД "ДС", 2003. – 208 с. | | | | | | | | | | |
| **19) Додаткові джерела:**   1. Пєтух А.М., Обідник Д.Т. ЕОМ і мікропроцесорні системи: Навч. посіб. / Вінницький держ. технічний ун-т. — Вінниця : Видавництво ВДТУ, 2001. — 124с. 2. Азаров О. Д., Байко В. В., Обертюх М. Р. Комп'ютерна електроніка: Навч. посібник / Вінницький держ. технічний ун- т. — Вінниця : ВДТУ, 2002. - 167 с. 3. <http://library.knuba.edu.ua/> | | | | | | | | | | |
| **20) Система оцінювання навчальних досягнень (розподіл балів):**  **Модуль 1**   |  |  |  | | --- | --- | --- | | Поточне оцінювання (кількість балів) | | Сума | | Змістовий  модуль  №1 | Змістовий  модуль  №2 | | 60 | 40 | 100 |   **Модуль 2**   |  |  |  |  | | --- | --- | --- | --- | | Поточне оцінювання (кількість балів) | | | Сума | | Змістовий  модуль №1 | Змістовий  модуль №2 | Змістовий  модуль №3 | | 10 | 60 | 30 | 100 | |  |  |  |  | | | | | | | | | | | |
|  | | | | | | |  | |  | |
|  | |  | |  | | |
|  | |  | |  | | |  | |  | |
| **Модуль 3. Курсова робота**    Оцінка за курсову роботу виставляється як сума оцінок за окремі етапи, кожна з яких виставляється в залежності від якості виконаної роботи і своєчасності здачі етапу, що стимулює планомірну роботу протягом усього семестру.   |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | | Поточне оцінювання | | | | | | | Сума | | Етап 1 | Етап 2 | Етап 3 | Етап 4 | Етап 5 | Етап 6 | Етап 7 | | 10 | 5 | 20 | 15 | 15 | 5 | 30 | 100 |   **21) Умови допуску до підсумкового контролю:**  - відвідування лекцій;  - виконання лабораторних робіт;  - виконання індивідуальної роботи;  - дотримання умов академічної доброчесності. | | | | | | | | | | |
| **22) Політика щодо академічної доброчесності:** розуміння здобувачами вищої освіти етичного кодексу університету та норм академічної доброчесності (вимог щодо оригінальності текстів та допустимого відсотку співпадінь). Персональне виконання лабораторних та індивідуального завдань. | | | | | | | | | | |
| **23) Посилання на сторінку електронного навчально-методичного комплексу дисципліни:**  [[Курс: Комп'ютерна схемотехніка і архітектура комп'ютерів | Головна (knuba.edu.ua)](https://org2.knuba.edu.ua/course/view.php?id=302)](http://org2.knuba.edu.ua/course/view.php?id=934) | | | | | | | | | | |