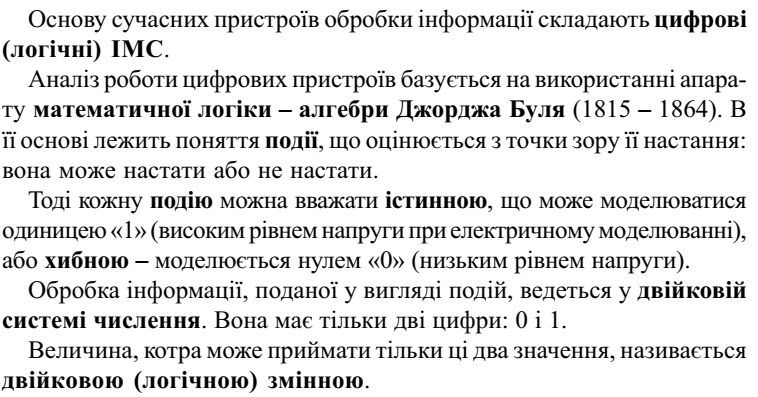
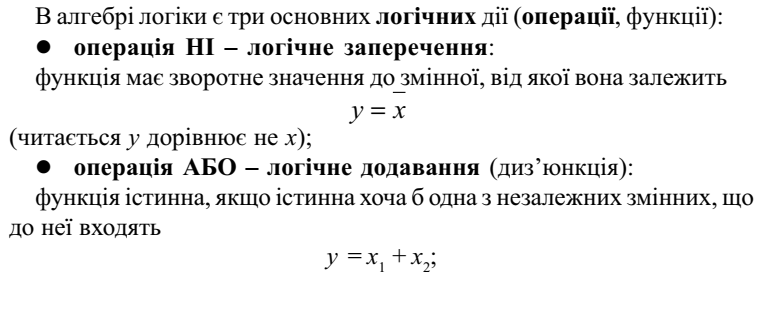
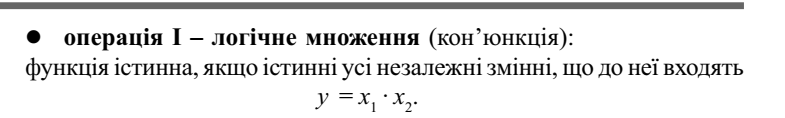
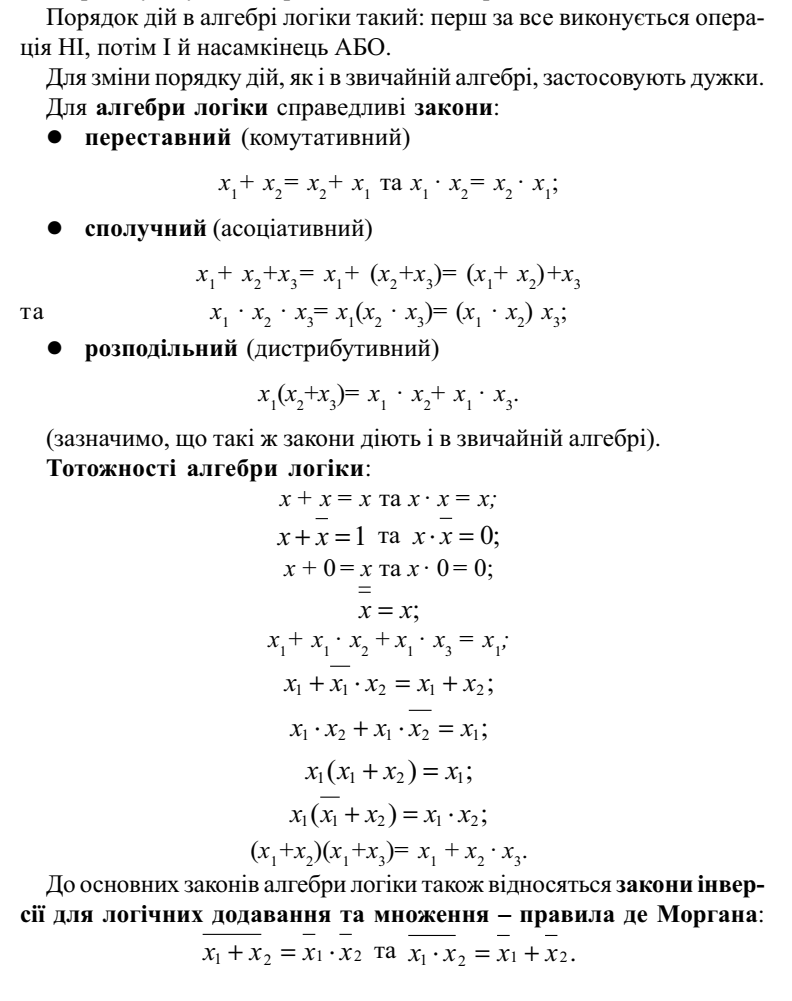
**Логічні елементи**

**Алгебра логіки.**



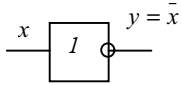






**Реалізація простих логічних функцій. Логічні елементи**

Елемент НІ



|  |  |
| --- | --- |
| x | y |
| 1 | 0 |
| 0 | 1 |

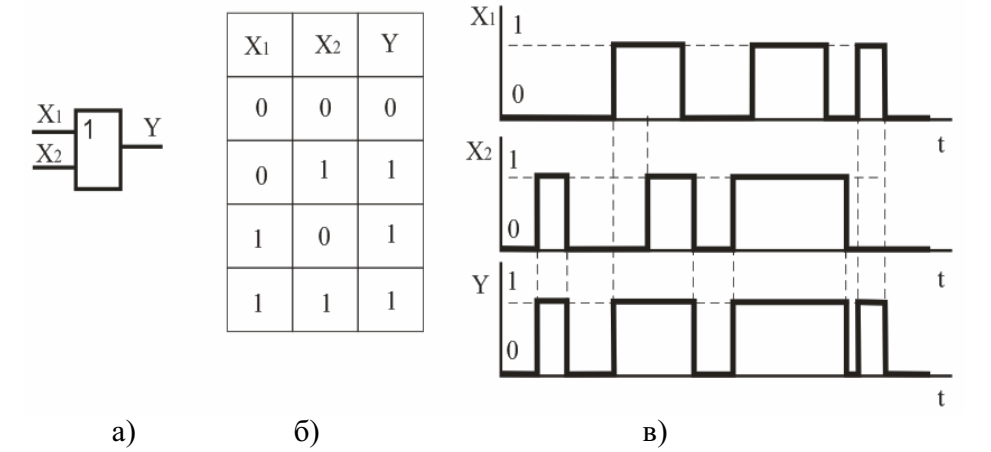
Логічні елементи, що реалізують операцію АБО, називають  
елементами АБО.

00

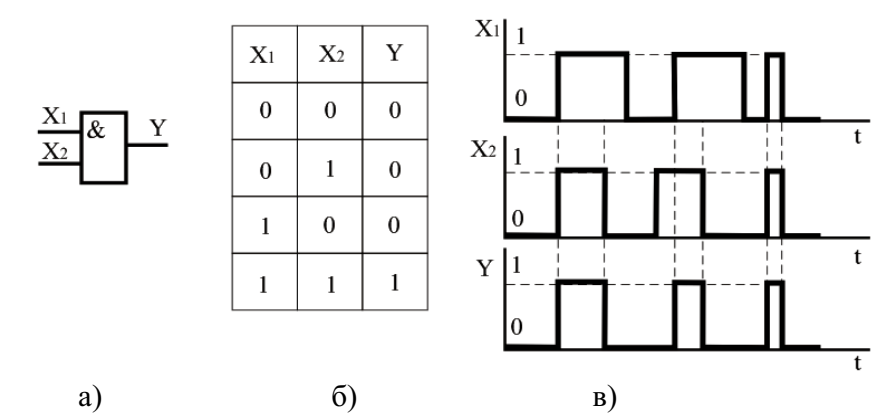
2^0=1 01

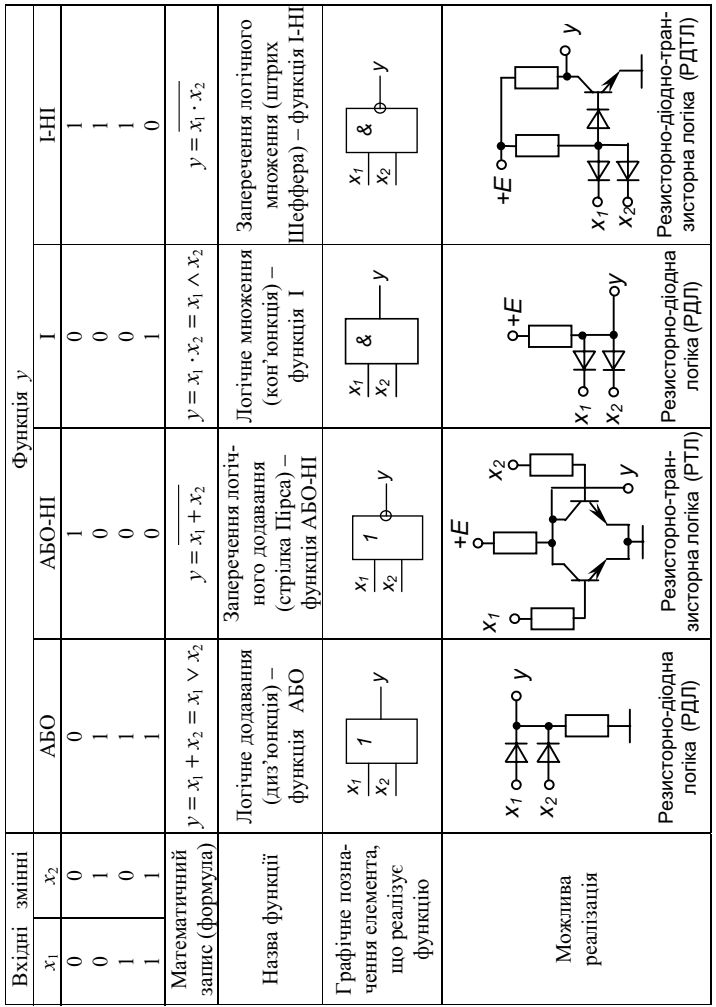
2^1=2 10

2^1=2+2^0=1=3 11



Логічний елемент І





**Тригери**

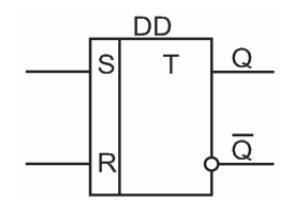
**Тригер** – це пристрій, що має два стійких вихідних стани і  
здатний переходити з одного стану в інший під впливом зовнішнього  
управляючого сигналу.

Перехід тригера з одного стійкого стану в інший відбувається  
під дією управляючого сигналу і супроводжується стрибкоподібною  
зміною струмів та напруги. Для переходу тригера з одного стійкого  
стану в інший необхідно, щоб вхідний сигнал перевищив деякий  
рівень – поріг спрацьовування пристрою.

***Асинхронні R-S-тригери***

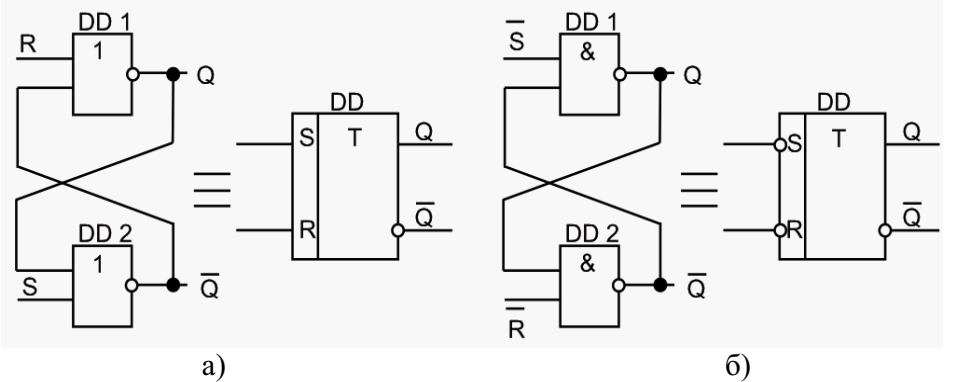
Залежно від способу керування розрізняють асинхронні та  
тактовані *R-S-*тригери.

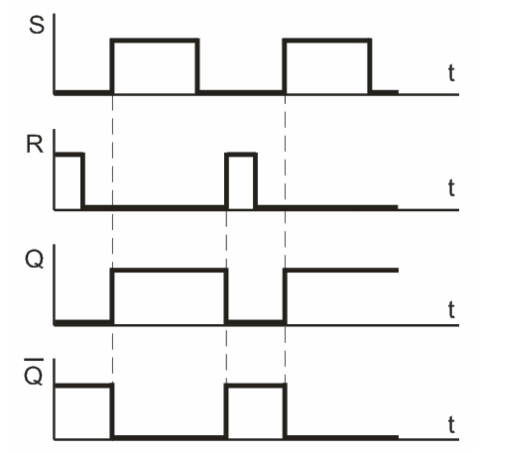
Виходи: *Q* – прямий; *Q* – інверсний

****

Асинхронний *R-S-*тригер, як і тригер будь-якого іншого типу, характеризується двома станами: логічної “1” та логічного “0”. Стану логічної “1” відповідає *Q* = 1, *Q* = 0; стану логічного “0”: *Q* = 0, *Q* = 1.

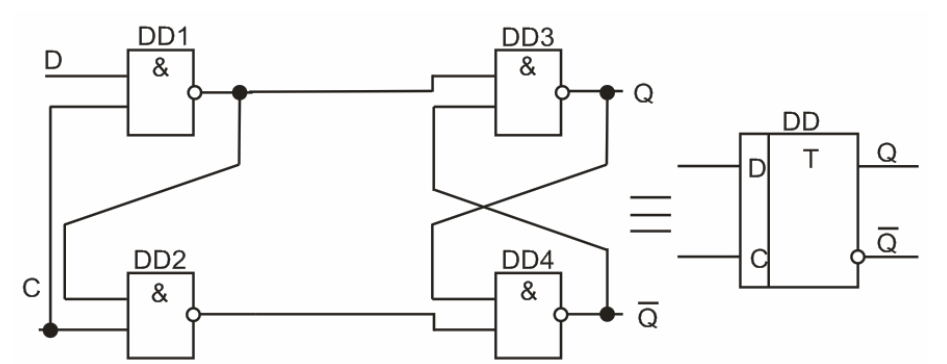
За інформаційним входом *S* проводиться установка тригера в стан логічної “1”, а по інформаційному входу R – установка (перехід тригера в початковий стан) логічного “0”. Цьому відповідають скорочені позначення входів і назва тригера: *S* (*set*) – установка, *R* (reset) – повернення в початковий стан. Тригери легко реалізуються на логічних елементах: АБО – НІ – тригер з прямими входами

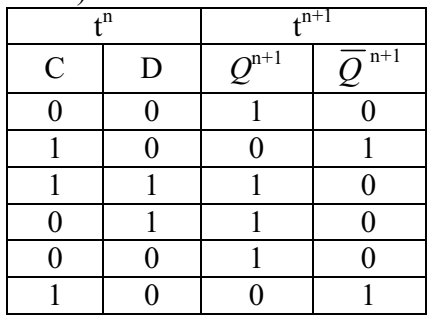
****

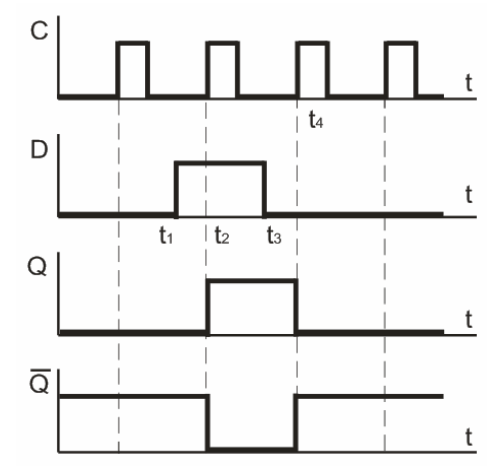
****

**D-тригери**

*D-* тригери мають один інформаційний вхід (*D-* вхід, на який подається інформація, призначена для занесення в тригер) та вхід синхронізації (С- вхід) або тактовий вхід.

****

****

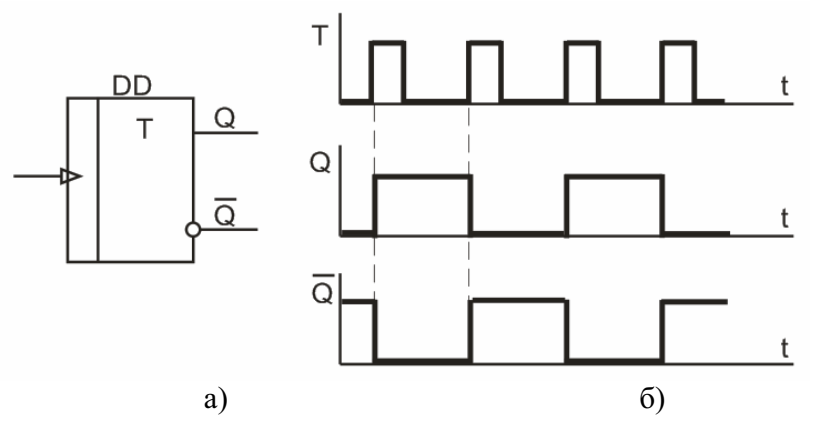
****

Якщо рівень сигналу на вході *С*=0, стан тригера стійкий і не залежить від рівня сигналу на інформаційному вході. Під час подачі на вхід синхронізації рівня *С*=1 інформація на прямому виході повторюватиме інформацію, що подається на вхід *D*. Таким чином, перемикання тригера з одного стійкого стану в інші відбувається з появою синхронізувального (тактового) імпульсу на вході *С*.

Припустимо, що до моменту приходу вхідного сигналу *D*тригер знаходився в стані логічного “0” (*Q* = 0, *Q* =1). В інтервалі часу *t1–t2,* коли діє вхідний сигнал *D*, стан тригера не змінюється, оскільки при цьому *С*=0. Дія сигналу С=1 в момент часу *t2* призводить до перемикання тригера в стан логічної “1” (*Q* = 1, *Q* = 0). Стан логічної “1” тригера не зміниться до моменту часу *t4.* Поява у момент часу *t4* сигналу *С*=1 викликає перемикання тригера в стан логічного “0”.

**Т-тригер**

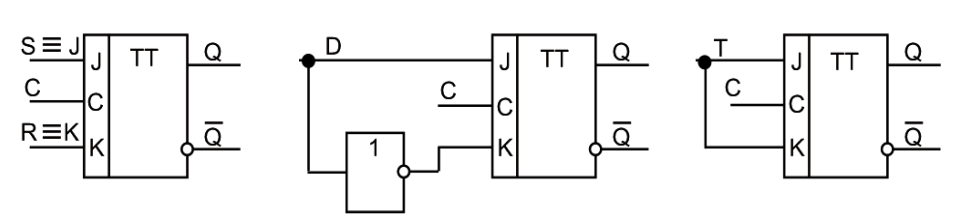
*Т-*тригер має один керуючий вхід Т і два виходи Q та *Q* . Характерною властивістю *Т-*тригера є його перемикання в протилежний стан з приходом кожного чергового вхідного імпульсу. Його називають також тригером з лічильним запуском.



З приходом першого імпульсу на вхід *Т* тригер встановлюється в стан логічної “1” (*Q*=1). Другим імпульсом тригер перемикається в стан логічного “0” і так далі. Частота сигналу на виході *Т-*тригера в два рази нижча за частоту сигналу на вході, тому такий тригер можна використовувати як дільник частоти, а також у лічильниках числа імпульсів.

**Універсальні J-K-тригери**

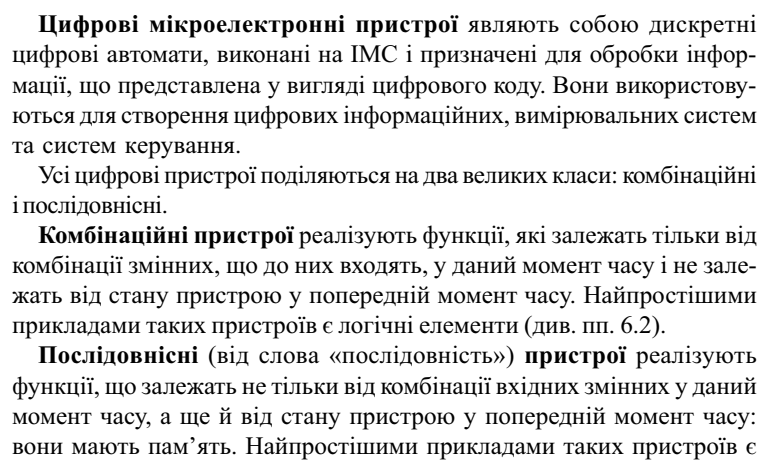
Це пристрої з двома інформаційними входами *J* і *K*, які у разі вхідної комбінації *J=K=1* перемикають тригер у протилежний стан подібно *Т-*тригеру, а при будь-яких інших комбінаціях вони функціонують як *R-S-*тригер, у якого роль входів *S* і *R* виконують відповідно входи *J* і *K*: *J*≡S, *K*≡R. Під час відповідного підключення входів *J-K-*тригер може виконувати функції *R-S*, *D* і *T-*тригерів



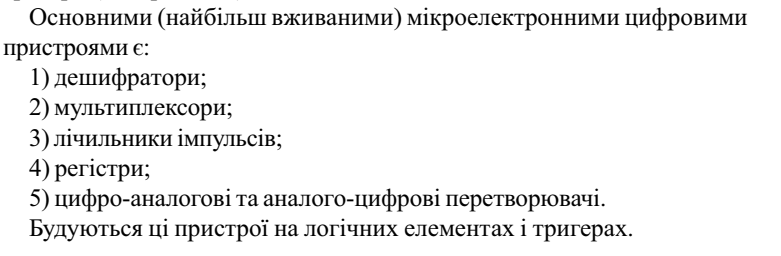
*R-S-*тригер отримують подачею на вхід *J* сигналу *S*; а на вхід *К* сигна-лу *R*. *D-*тригер утворюється введенням інвертора в коло входу *К*. *R-S-*і *D-*тригери є тактованими.

Якщо входи *J* і *K* об’єднати і подати на них лічильні імпульси *Т*, отримаємо *Т-*тригер з лічильним запуском. У цьому полягає універсальність *J-K-*тригера. Інтегральні тригери застосовують під час побудови складних функціональних пристроїв: лічильників імпульсів, регістрів, пристроїв, що запам’ятовують, дільників частоти і т.д.

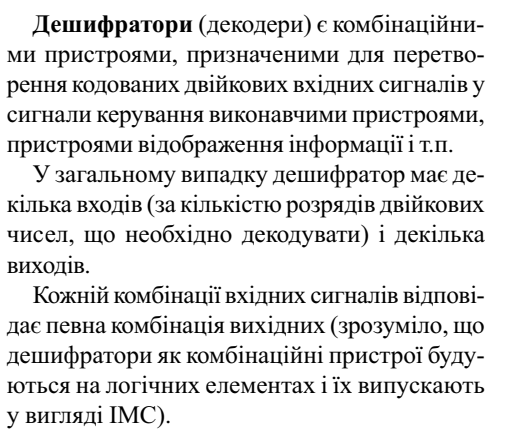
**Цифрові мікроелектронні пристрої**

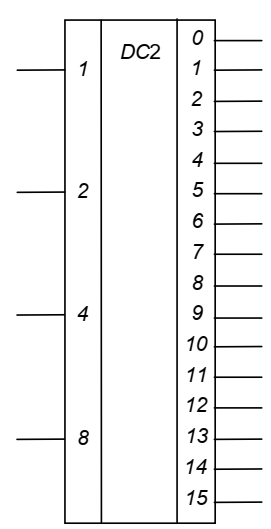
****

**Тригери.**

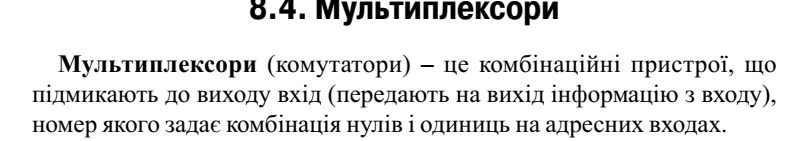
****

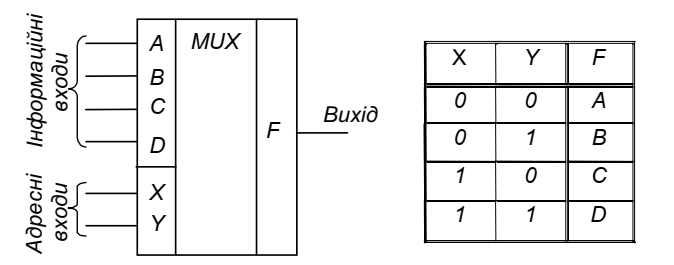
**Дешифратори**

****

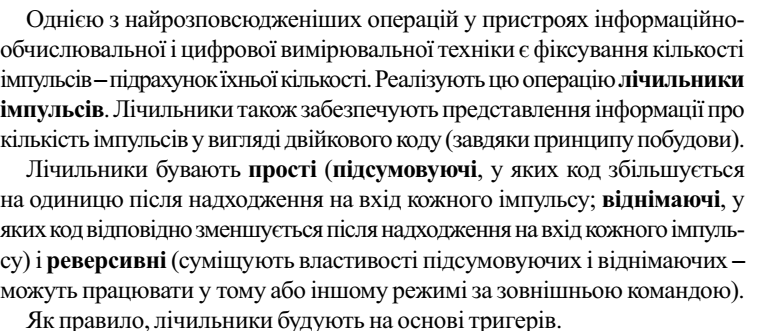
****

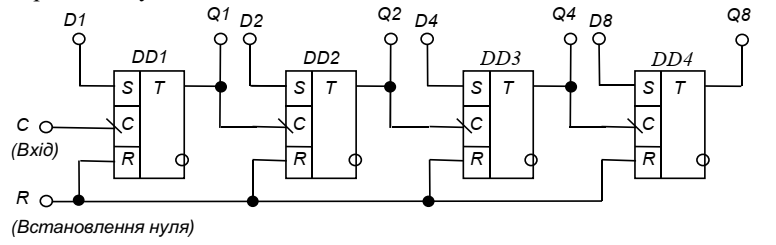
**Мультиплексори**

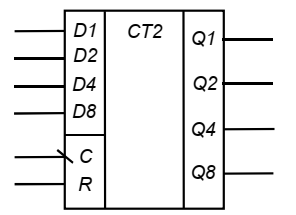
****

****

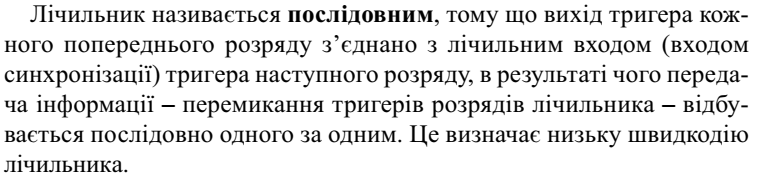
**Лічильники імпульсів**

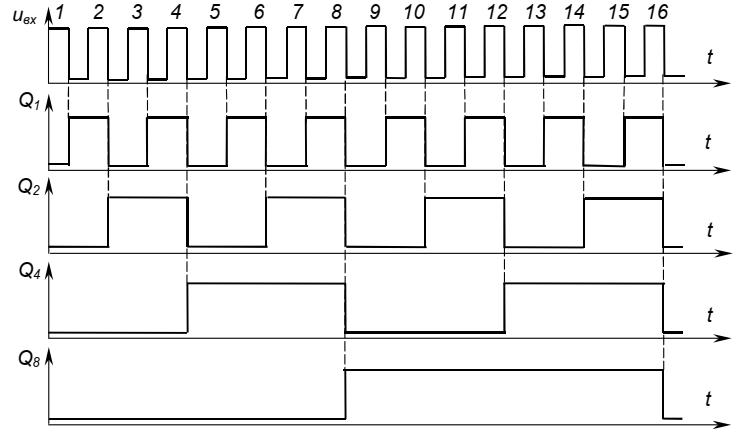
****

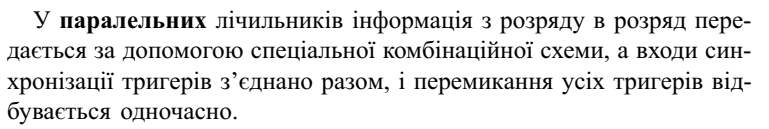
****

****

****

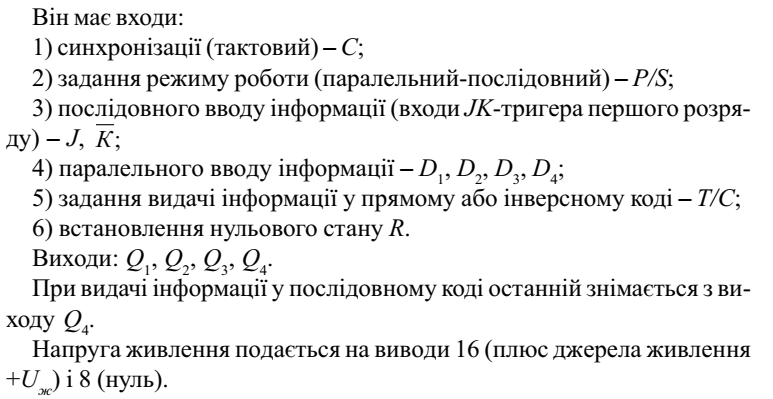
****

****

****

**Регістри**

****

****