

ЛЕКЦІЯ 5

Тема: СХЕМОТЕХНІКА КОМБІНАЦІЙНИХ ВУЗЛІВ. ПЕРЕТВОРЮВАЧІ КОДІВ. ДВІЙКОВІ СУМАТОРИ

ПЛАН

- 3.11 Перетворювачі кодів.
- 3.12 Перетворювач прямого коду у зворотний.
- 3.13 Перетворювач прямого коду в додатковий.
- 3.14 Перетворювач двійкових чисел у код Грея.
- 3.15 Перетворювач двійково-десяткових чисел у код сімисегментного індикатора.
- 3.16 Загальна характеристика суматорів.
- 3.17 Однорозрядні суматори.

Час: 2 год.

Література: [2].

3.11 Перетворювачі кодів

Загальна характеристика перетворювачів кодів

Функціональний вузол комп'ютера, призначений для перетворення двійкового коду з однієї форми в іншу називається **перетворювачем коду**.

Різноманітні двійкові та двійково-десяткові коди: прямий, обернений, доповняльний і їх модифікації, циклічний з лишком три та інші використовують для представлення інформації. Існує безліч кодів, які забезпечують:

- простоту виконання арифметико-логічних операцій;
- зручність перетворення чисел з десятикової системи в двійковий код;
- надійність виконання заданих алгоритмів функціонування й ефективний контроль результатів обчислень;
- зменшення апаратних витрат при побудові цифрових пристроїв.

Для запису знака числа, заміни операції віднімання чисел додаванням їхніх кодів, а також для визначення переповнювання розрядної сітки використовуються прямий, обернений та доповняльний коди. Для представлення знака числа в них відводиться знаковий розряд, який розташовується ліворуч від числа і відділяється комою. В знаковий розряд записується нуль – для додатного числа і одиниця – для від'ємного.

3.12 Перетворювач прямого коду в обернений

У прямому двійковому кодi $X_{\text{ПР}} = X_{3\text{Н}} X_{\text{п-1}} \dots, X_1$ один розряд, зазвичай старший, відображає знак числа, останні – значення цифрових розрядів. При цьому для додатного числа $X_{3\text{Н}} = 0$, а для від'ємного $X_{3\text{Н}} = 1$. Обернений код додатного двійкового числа збігається з прямим кодом. Для від'ємного числа цифрові розряди прямого коду інвертуються.

Таблиця 3.14. Перетворення прямого коду в обернений.

X		Y	
		$X_{3\text{Н}}=0$	$X_{3\text{Н}}=1$
X_0	1	1	0
X_1	0	0	1
X_2	1	1	0
X_3	0	0	1

Схему п'ятирозрядного перетворювача прямого коду в обернений, побудовану на елементах "Виключальне АБО" відповідно виразу (3.25), показано на рис. 3.20.

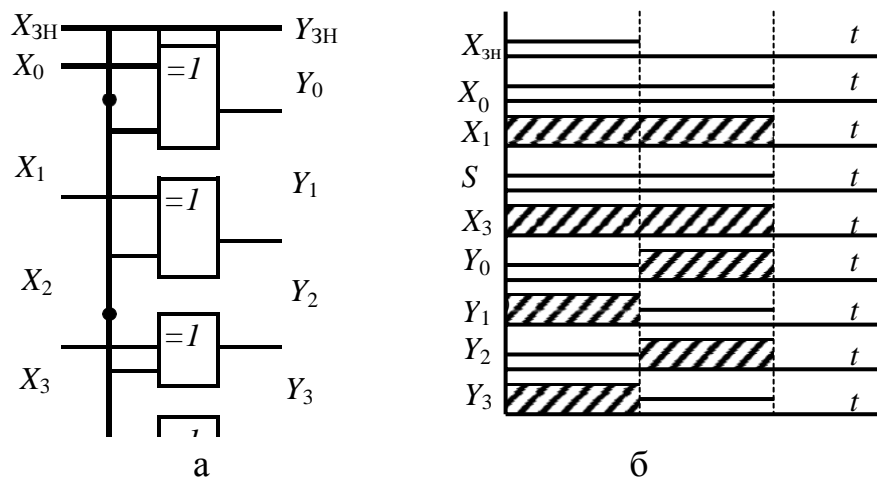


Рис. 3.20. Перетворювач прямого коду в обернений: а – схема; б – часова діаграма роботи.

В процесі перетворення прямого коду в обернений значення знакового розряду $X_{3\text{Н}}$ використовується як керуючий сигнал, який забезпечує отримання наступного виразу:

$$Y_i = \overline{X_{3\text{Н}}} X_i \vee X_{3\text{Н}} \overline{X_i} = X_{3\text{Н}} \oplus X_i$$

де Y_i – значення i -го розряду оберненого коду;

X_i – значення i -го розряду додатнього вхідного числа ($X_{3\text{Н}} = 0$);

$\overline{X_i}$ – значення i -го розряду від'ємного вхідного числа ($\overline{X_{3\text{Н}}} = 1$).

3.13 Перетворювач прямого коду в доповняльний код

Доповняльний код додатного двійкового числа збігається з його прямим і оберненим кодами. Доповняльний код від'ємного двійкового числа утворюється з його оберненого коду додаванням до молодшого розряду одиниці. Таким чином, операція перетворення прямого коду в доповняльний код не є порозрядною і виконується значно складніше, ніж отримання оберненого коду.

Таблиця 3.15. Відповідність між прямим і доповняльним кодами

Прямий код				Доповняльний код				Прямий код				Доповняльний код			
X_4	X_3	X_2	X_1	Y_4	Y_3	Y_2	Y_1	X_4	X_3	X_2	X_1	Y_4	Y_3	Y_2	Y_1
0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
0	0	0	1	1	1	1	1	1	0	0	1	0	1	1	1
0	0	1	0	1	1	1	0	1	0	1	0	0	1	1	0
0	0	1	1	1	1	0	1	1	0	1	1	0	1	0	1
0	1	0	0	1	1	0	0	1	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1	1	1	0	1	0	0	1	1
0	1	1	0	1	0	1	0	1	1	1	0	0	0	1	0
0	1	1	1	1	0	0	1	1	1	1	1	0	0	0	1

Відповідність між прямим і доповняльним кодами на прикладі чотирьох цифрових розрядів представлено в табл. 3.15.

Знаковий розряд прямого коду використовується як управляючий сигнал: якщо $X_{3H} = 0$, то вихідний код повторює значення вхідного; при $X_{3H} = 1$ реалізується перетворення згідно табл. 3.15.

Карту Карно, відповідну табл. 3.15 для отримання мінімальних форм функцій перетворення прямого коду в доповняльний, представлено на рис. 3.21.

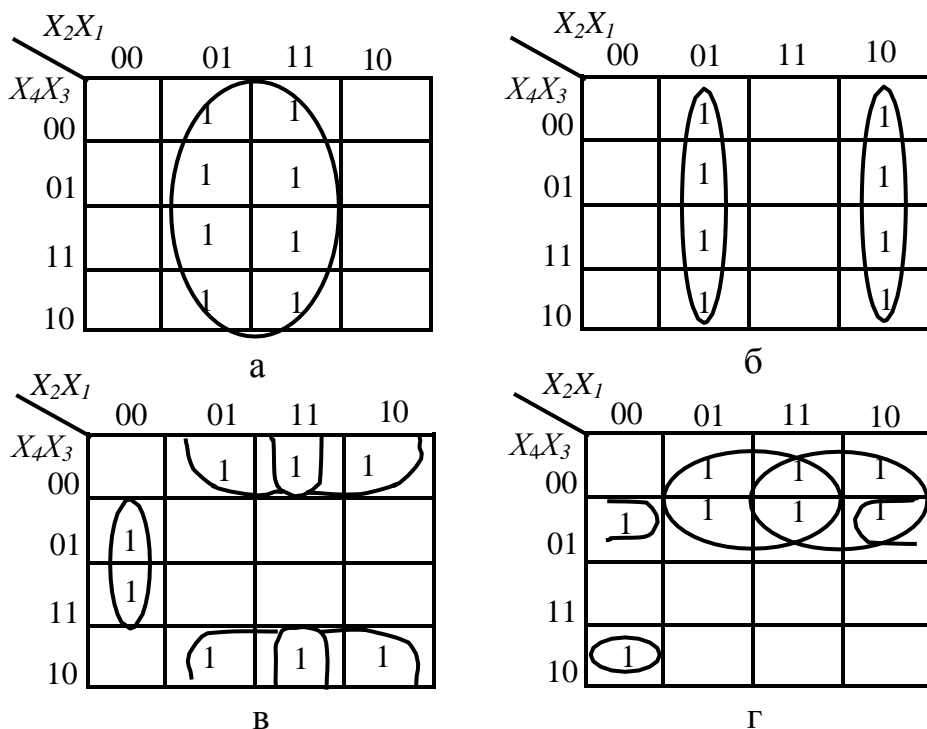


Рис. 3.21. Карта Карно для функцій перетворювача прямого коду в доповняльний код: а – Y_1 ; б – Y_2 ; в – Y_3 ; г – Y_4

На основі карт Карно з урахуванням знакового розряду X_{3H} прямого коду для функцій $Y_1Y_2Y_3Y_4$, що представляють виходи перетворювача, отримуємо:

$$Y_{3H} = X_{3H}; Y_1 = X_1; Y_2 = X_2 \oplus X_1 X_{3H}; Y_3 = X_3 \oplus (X_2 \vee X_1) X_{3H}$$

$$Y_4 = X_4 \oplus (X_3 \vee X_2 \vee X_1) X_{3H}$$

Схему перетворювача прямого коду в доповняльний код на основі виразів показано на рис. 3.22.

Даний перетворювач характеризується високою швидкістю. Час встановлення вихідного коду визначається трьома затримками поширення сигналу, проте зі зростанням номера розряду лінійно зростає і необхідне число входів елементів АБО, що використовуються у схемі.

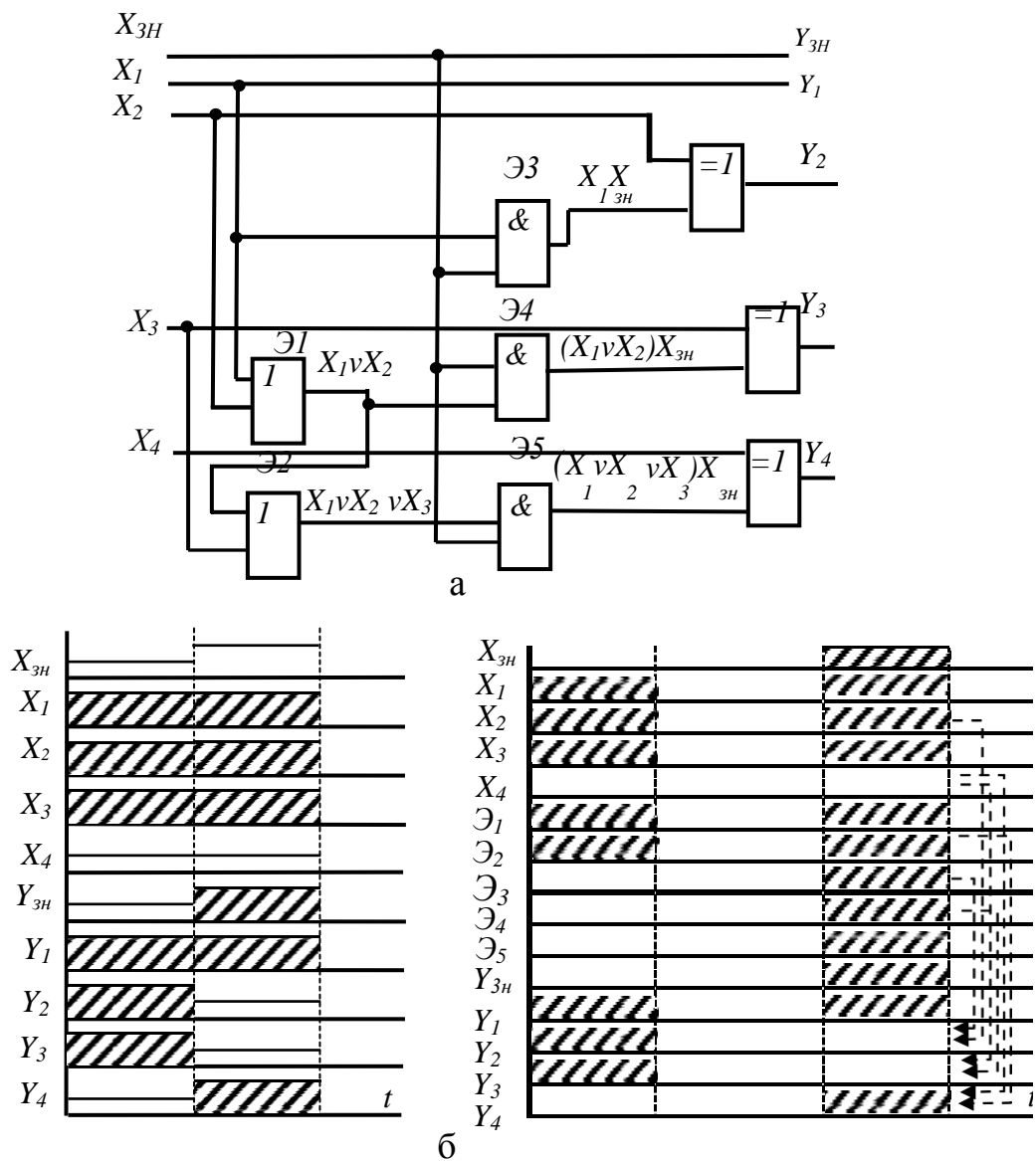


Рис. 3.22. Перетворювач прямого коду в доповняльний: а – схема, б – часові діаграми роботи.

3.14 Перетворювач прямого коду в код Грея

Код Грея утворюється послідовністю двійкових чисел, в яких два будь-яких сусідніх числа відрізняються тільки одним розрядом (таблиця 3.16). Перше і останнє число вважаються сусідніми. Код Грея, який називають циклічним, відноситься до незважених двійкових кодів.

До переваг коду Грея відносять: зручність кодування кутових переміщень, простота кодувочої логіки, скорочення часу перетворення у зв'язку із зміною значення тільки одного розряду, висока ефективність захисту від збоїв. Недоліками коду Грея є ускладнення при виконанні арифметичних операцій і цифро-аналогових перетворень. Тому при необхідності код Грея перетворюють в двійковий код.

Таблиця 3.16. Утворення коду Грея послідовністю двійкових чисел

X_4	X_3	X_2	X_1	I_4	I_3	I_2	I_1	X_4	X_3	X_2	X_1	I_4	I_3	I_2	I_1
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	0	1	1	0	0	1	1	1	0	1
0	0	1	0	0	0	1	1	1	0	1	0	1	1	1	1
0	0	1	1	0	0	1	0	0	0	1	1	1	1	1	0
0	1	0	0	0	1	1	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	0

За даними таблиці 3.16 у клітинки карт Карно (рис. 3.23) внесені значення розрядів I_1, I_2, I_3, I_4 коду Грея.

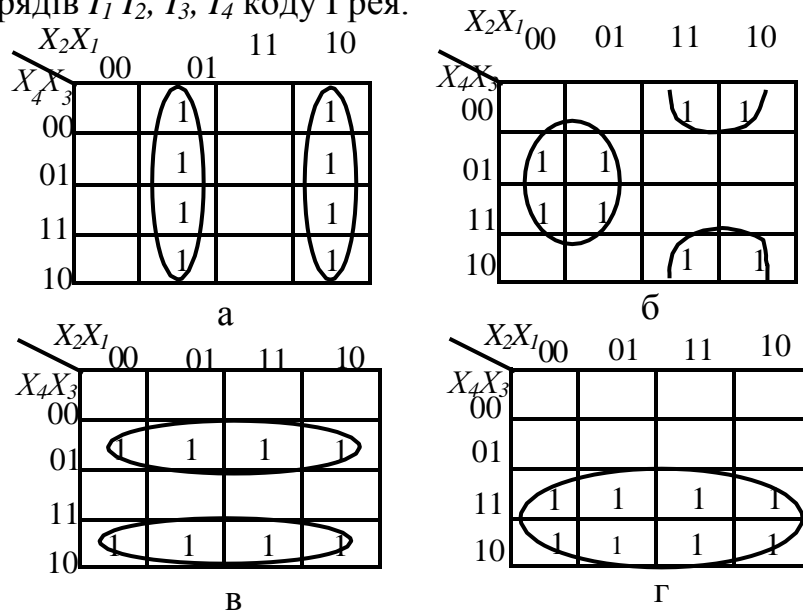


Рис. 3.23. Карта Карно для кодів Грея: а — I_1 , б — I_2 , в — I_3 , з — I_4

Схему перетворювача прямого коду в код Грея показано на рис. 3.24.

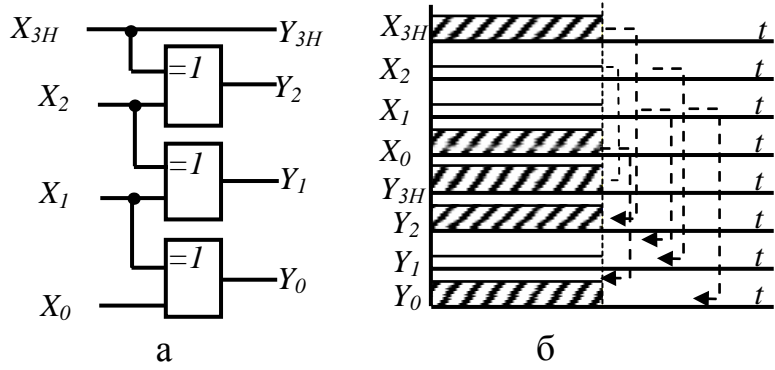


Рис. 3.24. Перетворювач прямого коду в код Грея: а – схема, в – часова діаграма роботи.

За допомогою карт Карно отримуємо наступні вирази для розрядів коду Грея:

$$I_1 = X_2 \bar{X}_1 \vee X_2 X_1 = X_1 \oplus X_2; \quad I_2 = \bar{X}_3 \bar{X}_2 \vee X_3 \bar{X}_2 = X_2 \oplus X_3;$$

$$I_3 = \bar{X}_4 X_3 \vee X_4 \bar{X}_3 = X_3 \oplus X_4; \quad I_4 = X_4$$

Схема та часова діаграма роботи перетворювача коду Грея в прямий код наведені на рис. 3.25.

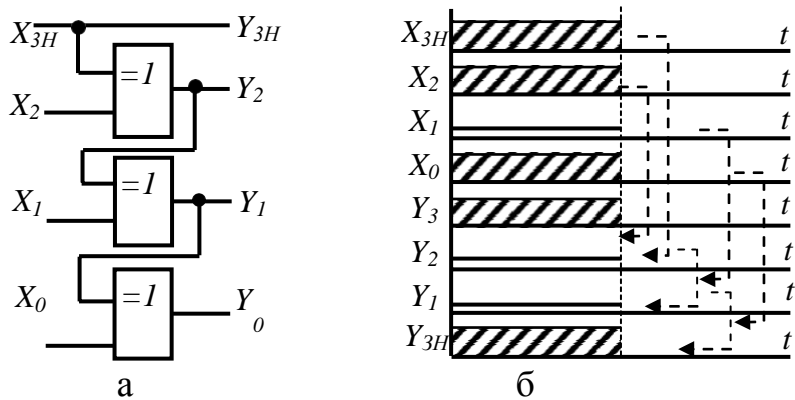


Рис. 3.25. Перетворювач коду Грея в прямий код: а – схема, б – часова діаграма роботи.

3.16 Загальна характеристика суматорів

Функціональний вузол комп'ютера, призначений для додавання двох n -розрядних слів (чисел) називається **суматором**.

Операція віднімання замінюється додаванням слів в оберненому або доповняльному коді. Операції множення і ділення зводяться до реалізації багатократних додавань та зсувів. Тому суматор є важливою частиною арифметико-логічного пристрою. Функція суматора позначається буквами SM або Σ .

Окремі схеми, із яких складається суматор, називаються *однорозрядними суматорами*. Вони виконують усі дії з додавання значень однойменних розрядів двох чисел (операндів). Суматори класифікуються за такими ознаками:

- спосіб додавання – паралельні, послідовні і паралельно-послідовні;
- число входів – напівсуматори, однорозрядні і багаторозрядні суматори;
- організація зберігання результату додавання – комбінаційні, накопичувальні, комбіновані;
- організація перенесення між розрядами – з послідовним, наскрізним, паралельним або комбінованим перенесенням (з груповою структурою);
- система числення – позиційні (двійкові, двійково-десяткові, трійкові) і непозиційні, наприклад, в системі залишкових класів;
- розрядність (довжина) операндів – 8-, 16-, 32-, 64-розрядні;
- спосіб представлення від'ємних чисел – в оберненому або доповняльному кодах, а також в їхніх модифікаціях;
- час додавання – синхронні, асинхронні.

У *паралельних n-розрядних суматорах* значення всіх розрядів операндів поступають одночасно на відповідні входи однорозрядних підсумовувальних схем. У послідовних суматорах значення розрядів операндів та перенесення, що запам'ятовувалося в попередньому такті, поступають послідовно в напрямку від молодших розрядів до старших на входи одного однорозрядного суматора.

У паралельно-послідовних суматорах числа розбиваються на частини, наприклад, байти, розряди байтів поступають на входи восьмирозрядного суматора паралельно (одночасно), а самі байти – послідовно, в напрямку від молодших до старших байтів з урахуванням попереднього перенесення.

У *комбінаційних суматорах* результат операції додавання запам'ятовується в регістрі результату. У накопичуючих суматорах процес додавання об'єднується із зберіганням результату. Це пояснюється використанням *T*-триггерів як однорозрядних схем додавання.

Організація перенесення практично визначає час виконання операції додавання. Послідовні перенесення схем утворюються просто, проте є повільно діючими. Паралельні перенесення схемно організуються значно складніше, проте дають високу швидкодію.

Розрядність суматорів знаходиться в широких межах: 4-16 - для мікро- і міні-комп'ютерів і 32-64 і більше – для універсальних машин.

Синхронними є суматори з постійним інтервалом часу для додавання. Суматори, в яких інтервал часу для додавання визначається моментом фактичного закінчення операції, називаються *асинхронними*.

В асинхронних суматорах є спеціальні схеми, які визначають фактичний момент закінчення додавання і повідомляють про це в пристрій управління. На практиці використовують переважно синхронні суматори. Суматори характеризуються наступними параметрами:

- швидкодією – часом виконання операції додавання t_{Σ} , який відраховується від початку подачі операндів до отримання результату; часто швидкодія характеризується кількістю додавань за секунду $F_{\Sigma} = 1/t_{\Sigma}$, маючи на увазі операції типу реєстр-реєстр (тобто числа зберігаються в реєстрах АЛП);
- апаратними витратами: вартість однорозрядної схеми додавання визначається загальним числом логічних входів елементів, що використовуються; вартість багаторозрядного суматора визначається загальною кількістю мікросхем; споживаною потужністю суматора.

3.17 Однорозрядні суматори

Логічна схема, яка виконує додавання значень i -х розрядів X_i і Y_i двійкових чисел з урахуванням перенесення Z_i з молодшого сусіднього розряду і виробляє на виходах функції результат S_i і перенесення P_i в старший сусідній розряд називається *однорозрядним суматором*. На основі однорозрядних схем додавання на три входи і два виходи будуються багаторозрядні суматори будь-якого типу. Алгоритм роботи однорозрядного суматора відображається таблицею істинності (табл. 3.20).

Таблиця 3.20. Алгоритм роботи однорозрядного суматора.

На основі таблиці 3.20 записується система логічних функцій для результату S_i і перенесення P_i :

$$S_i = \overline{X_i} \overline{Y_i} Z_i \vee \overline{X_i} Y_i \overline{Z_i} \vee X_i \overline{Y_i} \overline{Z_i} \vee X_i Y_i Z_i$$

$$P_i = \overline{X_i} Y_i Z_i \vee X_i \overline{Y_i} Z_i \vee X_i Y_i \overline{Z_i} \vee X_i Y_i Z_i$$

X_i	Y_i	Z_i	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Мінімізацію функцій за допомогою карт Карно показано на рис. 3.30.

$X_i Y_i$	00	01	11	10
Z_i	0	1	0	1
1	0	1	0	1
0	1	0	1	0

$X_i Y_i$	00	01	11	10
Z_i	0	1	0	1
1	0	0	1	0
0	0	1	0	1

Рис. 3.30. Карты Карно для мінімізації функцій: а – S_i ; б – P_i

Як видно з карт Карно, функція результату S_i не мінімізується, а функція P_i мінімізується з пониженням рангу кон'юнкції і використовує тільки прямі значення змінних:

$$P_i = X_i Y_i \vee X_i Z_i \vee Y_i Z_i = X_i Y_i \vee (X_i \vee Y_i) Z_i$$

При проектуванні комбінаційних однорозрядних суматорів враховують наступні чинники:

- схема повинна характеризуватися регулярністю (подібністю) структури і мінімальною вартістю;
- з метою підвищення швидкодії багаторозрядного суматора потрібний мінімальний час отримання функції перенесення;
- $t_{\Pi} = \kappa t_p$, де κ – число послідовно включених елементів від входів до виходів P_i або P_i^- ; t_p – середня затримка розповсюдження сигналу одним логічним елементом у вибраній серії інтегральних мікросхем; параметр часто називають каскадністю (поверховістю) схем, таким чином, для мінімізації часу отримання перенесення необхідно зменшити каскадність схеми і використовувати інтегральні мікросхеми з малим часом затримки розповсюдження сигналу;
- для схем однорозрядних суматорів на основі рівнянь необхідно виробляти як прямі P_i , так і інверсні P_i^- значення функції перенесення, яку називають парафазною.

Рівняння (3.31) і (3.32) можуть бути виражені через функцію "Виключальне АБО":

$$S_i = (X_i \oplus Y_i) Z_i \vee (X_i \oplus Y_i) \bar{Z}_i = X_i \oplus Y_i \oplus Z_i$$

$$P_i = X_i Y_i \vee (\bar{X}_i \bar{Y}_i \vee X_i \bar{Y}_i) Z_i = X_i Y_i \vee (X_i \oplus Y_i) Z_i$$

Схему однорозрядного суматора на елементах "Виключальне АБО" показано на малюнку 3.23б. Її вартість складає вісім входів, каскадність κ дорівнює 2.

Логічна схема, яка виконує додавання значень i -х розрядів X_i і Y_i двійкових чисел X і Y і реалізує на виході значення результату M_i і перенесення в старший сусідній розряд R_i називається *напівсуматором*:

$$M_i = \overline{X_i}Y_i \vee X_i\overline{Y_i} = X_i \oplus Y_i; \quad R_i = X_iY_i$$

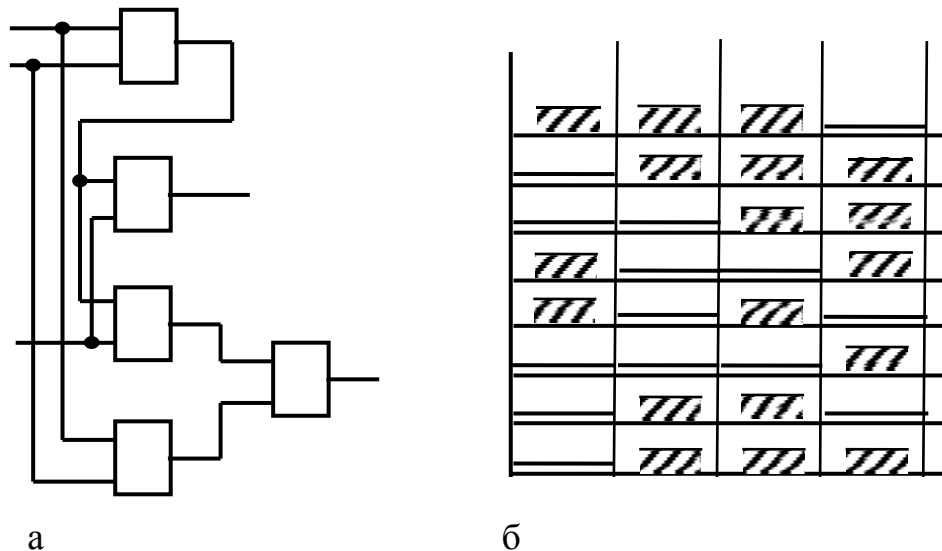
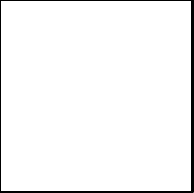


Рис. 3.31. Однорозрядний суматор з використанням власного перенесення: а – схема, б – часова діаграма роботи

Таким чином, напівсуматор виконує лише частину завдання підсумовування в i -м розряді, оскільки не враховує перенесення з сусіднього молодшого розряду.

Контрольні запитання

1. Що називають перетворювачами кодів?
2. Які коди використовують для представлення інформації?
3. Що забезпечується за допомогою кодів?
4. Для чого відводиться знаковий розряд числа?
5. Перетворення прямого коду в обернений.
6. Схема і принцип дії перетворювача прямого коду в обернений.
7. Часова діаграма роботи перетворювача прямого коду в обернений.
8. Утворення доповняльного коду.
9. Схема і принцип дії перетворювачів прямого коду в доповняльний.
10. Часова діаграма роботи перетворювачів прямого коду в доповняльний.
11. Утворення і переваги коду Грея.
12. Схема і принцип дії перетворювача двійкових чисел в код Грея.
13. Часова діаграма роботи перетворювача двійкових чисел в код Грея.

- 
14. Обернене перетворення кода Грея.
 15. Схема і принцип дії перетворювача коду Грея в прямий код.
 16. Часова діаграма роботи перетворювача коду Грея в прямий код.
 17. Що називають суматором?
 18. Класифікація суматорів.
 19. Що називають послідовним суматором?
 20. Що називають паралельним суматором?
 21. В яких кодах додають від'ємні числа?
 22. Що називають однорозрядним суматором?
 23. Алгоритм роботи однорозрядного суматора.
 24. Навести схему й описання принцип роботи однорозрядного суматора.