

ЛЕКЦІЯ 3

Тема: ТИПОВІ ФУНКЦІОНАЛЬНІ ВУЗЛИ КОМП'ЮТЕРНОЇ СХЕМОТЕХНІКИ ЕОМ

ПЛАН

- 3.1 Загальна характеристика дешифраторів.
- 3.2 Загальна характеристика шифратора
- 3.3 Пріоритетний шифратор
- 3.4 Загальна характеристика мультиплексорів. Каскадування мультиплексорів
- 3.5 Загальна характеристика демультимплексорів
- 3.6 Демультимплексор на чотири входи

Час: 2 год.

Література: [1,2].

Основні терміни і поняття:

Типовими функціональними вузлами схемотехніки ЕОМ називають такі вузли, в яких вихідний сигнал залежить від комбінації вхідних сигналів у даний момент часу.

3.1 Загальна характеристика дешифраторів

Дешифратором називається функціональний вузол комп'ютера, призначений для перетворення кожної комбінації вхідного двійкового коду в керуючий сигнал лише на одному із своїх виходів.

У загальному випадку дешифратор має n однофазних входів (іноді $2n$ парафазних) і $m = 2^n$ виходів, де n – розрядність (довжина) коду, який дешифрується. Дешифратор з максимально можливим числом виходів $m = 2^n$ називається **повним**.

Класифікують дешифратори за такими ознаками:

- за способом структурної організації – одноступеневі (лінійні) і багаступеневі, у тому числі пірамідальні й прямокутні (матричні);
- за форматом вхідного коду – двійкові, двійково-десяткові;
- за розрядністю коду, який дешифрується, – 2, 3, ..., n;
- за формою подачі вхідного коду – з однофазними і парафазними входами;
- за кількістю виходів – повні й неповні дешифратори;
- за видом вхідних стробуючих сигналів – у прямому або інверсному значеннях;
- за типом використовуваних логічних елементів – І, НІ, АБО, НІ І, НІ АБО і т.п.

Основними характеристиками дешифратора є:

- число ступенів (каскадів) дешифрування;
- - кількість логічних елементів або мікросхем, що використовуються;
- - загальне число входів логічних елементів;
- час дешифрації і споживана потужність.

Умовні графічні позначення дешифраторів на електричних схемах показані на рис. 3.1.

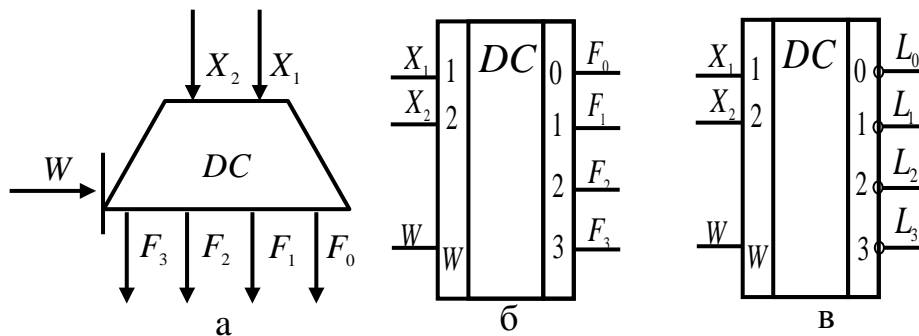


Рис. 3.1. Умовні графічні позначення дешифратора: а – на функціональних схемах; б, в – на принципових схемах

Літерами DC (decoder) позначається логічна функція дешифратора. Мітки лівого доповняльного поля в умовному позначенні відображають десяткові ваги вхідних змінних, а мітки правого доповняльного поля відповідають десятковим еквівалентам вхідних комбінацій двійкових змінних.

Функціонування повного дешифратора описується системою логічних виразів, що мають вигляд:

$$F_0 = \overline{X}_n \overline{X}_{n-1} \dots \overline{X}_2 \overline{X}_1;$$

$$F_1 = \overline{X}_n \overline{X}_{n-1} \dots \overline{X}_2 X_1;$$

$$F_{m-1} = X_n X_{n-1} \dots X_2 X_1,$$

де X_1, \dots, X_n – вхідні двійкові змінні;

F_0, F_1, \dots, F_{m-1} – вихідні логічні функції n змінних.

В схему дешифраторів вбудовуються один або два стробуючі (дозволяючі) входи, наприклад, W (рис. 3.1б). За допомогою сигналу на вході W визначається момент спрацьовування дешифратора; крім того, вхід W використовується для нарощування розрядності вхідного коду. Повний дешифратор на n входів і m виходів скорочено називають дешифратором “з n в m ” або “ $n \rightarrow m$ ”. Наприклад, дешифратор “з 3 в 8” активізує одну з восьми вихідних ліній.

Номер вибраного виходу визначає індекс функції F_i і відповідає десятковому еквіваленту вхідного коду. Вихід, на якому з'являється керуючий сигнал, називається **активним**. Якщо значення сигналу на активному виході відображається логічною 1, то на решті пасивних виходів встановлюється логічний 0. Двійковий код, який вміщує завжди тільки одну одиницю, а решта – нулі, називається **унітарним**. Тому дешифратор є перетворювачем вхідного позиційного коду в унітарний вихідний код.

Логіку роботи повних дешифраторів на два входи X_1, X_2 , чотири прямих виходи F_0, F_1, F_2, F_3 і чотири інверсних виходи L_0, L_1, L_2, L_3 представлено в таблицях 3.1 і 3.2 відповідно.

Таблиця 3.1

X_2	X_1	F_0	F_1	F_2	F_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Таблиця 3.2

X_2	X_1	L_0	L_1	L_2	L_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Систему логічних функцій отримують з даних таблиці 3.1:

$$F_0 = \overline{X_2 X_1}; F_1 = \overline{X_2} X_1; F_2 = X_2 \overline{X_1}; F_3 = X_1 X_2$$

Система рівнянь (3.1) для лінійного дешифратора із стробуючим входом W приймає вигляд:

$$F_0 = \overline{X_2 X_1 W}; F_1 = \overline{X_2} X_1 W; F_2 = X_2 \overline{X_1} W; F_3 = X_2 X_1 W$$

На рис. 3.2 показано схему лінійного дешифратора на основі рівнянь (3.3) і (3.4).

У схемі, зображеній на рис. 3.2, використовується однофазний вхідний код, оскільки інверсії змінних утворюються елементами НІ. Якщо сигнал на стробуючому вході $W = 0$, то робота дешифратора блокується – на всіх

виходах встановлюються логічні нулі незалежно від значень вхідних змінних. При $W = 1$ дешифратор функціонує згідно табл. 3.1.

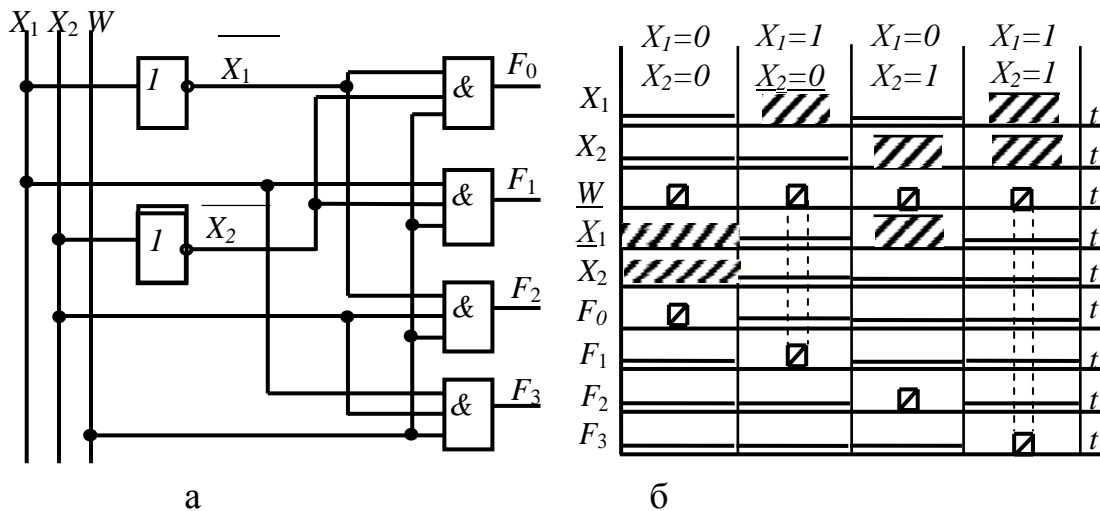


Рис. 3.2. Лінійний дешифратор на елементах I з однофазними входами і стробуванням: а – схема, б – часова діаграма роботи

За даними таблиці 3.2 записується система логічних функцій:

$$L_0 = X_2 \vee X_1; L_1 = X_2 \vee \overline{X_1}; L_2 = \overline{X_2} \vee X_1; L_3 = \overline{X_2} \vee \overline{X_1}$$

Для лінійного дешифратора із стробуючим W -входом система рівнянь (3.3) приймає вигляд:

$$L_0 = X_2 \vee X_1; L_1 = X_2 \vee \overline{X_1} \vee W; L_2 = \overline{X_2} \vee X_1 \vee W; L_3 = \overline{X_2} \vee \overline{X_1} \vee W$$

Схема лінійного дешифратора на основі рівняння (3.6) показана на рис. 3.3.

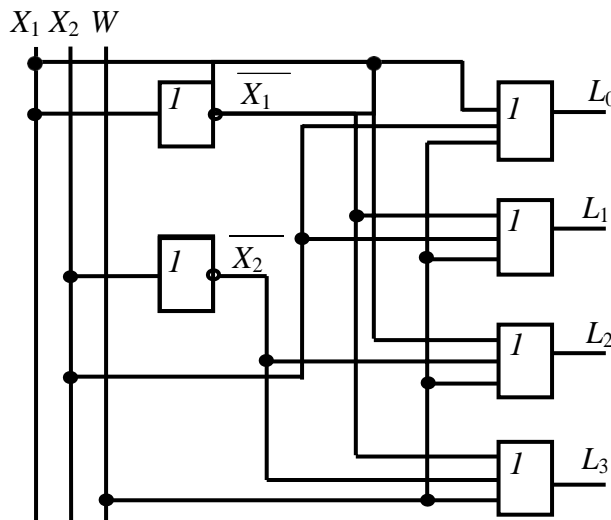


Рис. 3.3. Схема лінійного дешифратора на елементах АБО з однофазними входами і стробуванням

3.2 Загальна характеристика шифратора

Шифратором називається функціональний вузол комп'ютера, призначений для перетворення вхідного m -розрядного унітарного коду у вихідний n -розрядний двійковий позиційний код. Двійкові шифратори виконують функцію, зворотну функції дешифратора.

При активізації однієї з вхідних ліній дешифратора на його виходах формується код, що відображає номер активного входу. Повний двійковий шифратор має $m = 2^n$ входів і n виходів. Умовні графічні позначення шифраторів на схемах показані на рис. 3.4.

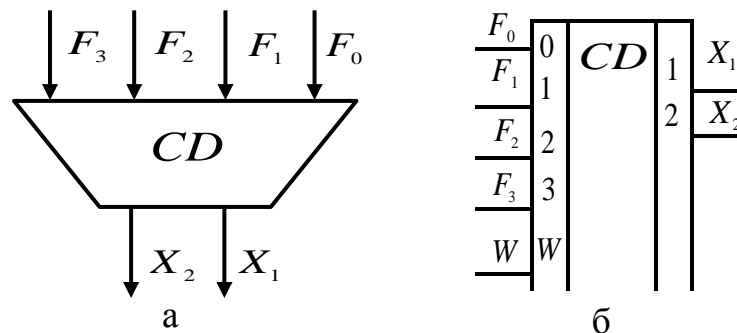


Рис. 3.4. Умовні графічні позначення шифратора: а – на функціональних схемах; б – на принципових схемах

Функція шифратора позначається літерами CD (coder). Входи шифратора нумеруються послідовними десятковими цифрами $0, 1, \dots, m-1$, а мітки виходів відображають ваги вихідних двійкових змінних $1, \dots, 2n-1$.

Шифратори використовуються для таких операцій: перетворення унітарного вхідного коду у вихідний двійковий позиційний код; введення десяткових даних з клавіатури; показання старшої одиниці в слові; передачі інформації між різними пристроями при обмеженому числі ліній зв'язку.

3.3 Пріоритетний шифратор на три входи

Шифратор, який при одночасному натисканні декількох клавiш виробляє код тільки старшої цифри, називається **пріоритетним**.

Логіку роботи пріоритетного шифратора на три входи представлено в табл. 3.3

За даними табл. 3.3 отримують систему логічних функцій:

$$X_1 = \overline{W} \overline{F_3} F_2 \vee W F; \quad X_0 = \overline{W} \overline{F_3} \overline{F_2} F_1 \vee W F_3$$

Таблиця 3.3. Логіка роботи пріоритетного шифратора на три входи.

W	F_3	F_2	F_1	X_1	X_2
1	x	x	x	0	0
0	0	0	1	0	1
0	0	1	x	1	0
0	1	x	x	1	1

На основі виразів побудована схема пріоритетного шифратора на три входи, яку зображено на рис. 3.5.

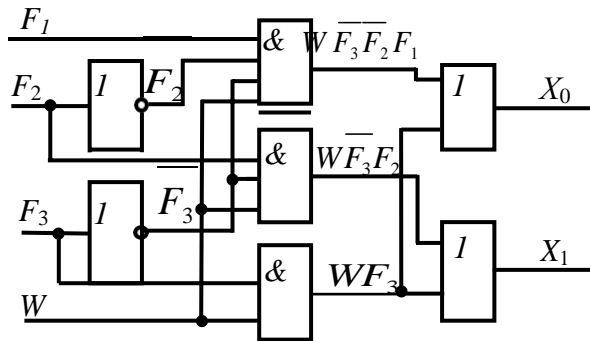


Рис. 3.5. Схема пріоритетного шифратора на три входи

3.4 Загальна характеристика мультиплексорів

Функціональний вузол комп'ютера, призначений для почергової комутації (перемикання) інформації від одного з n входів на загальний вихід називається **мультиплексором**.

Номер конкретної вхідної лінії, що підключається до виходу за кожний такт машинного часу, визначається адресним кодом A_0, A_1, \dots, A_{m-1} . Зв'язок між числом інформаційних n і адресних m входів визначається співвідношенням $n = 2^m$. Таким чином, мультиплексор реалізує керовану передачу даних від кількох вхідних ліній в одну вихідну.

Умовне графічне позначення мультиплексорів показано на рис. 3.8.

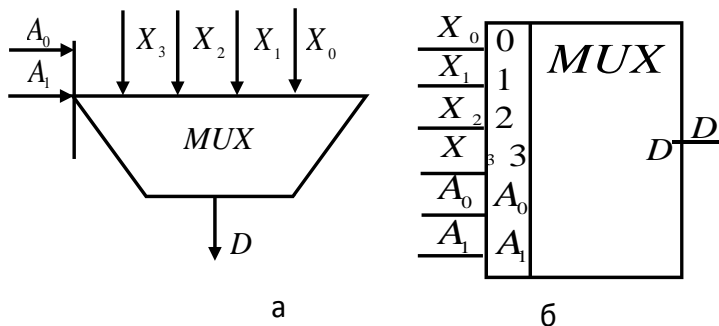


Рис. 3.8. Умовне позначення мультиплексора: а - на функціональних схемах; б - на принципових схемах

де A_0, A_1 – адресний код;

F_0, F_1, F_2, F_3 – виходи внутрішнього дешифратора;

X_0, X_1, X_2, X_3 – вхідна інформація;

D – загальний інформаційний вихід.

Літерами *MUX* (multiplexor) записується функція мультиплексорів.

Логіку роботи чотиривходового мультиплексора представлено в табл.

3.6.

Таблиця 3.6. Логіка роботи чотиривходового мультиплексора.

A_1	A_0	X_3	X_2	X_1	X_0	D
0	0	–	–	–	+	$A_1 A_0 X_0$
0	1	–	–	+	–	$\overline{A_1} A_0 X_1$
1	0	–	+	–	–	$A_1 \overline{A_0} X_2$
1	1	+	–	–	–	$A_1 A_0 X_3$

+ – вхід X підключений до виходу D .

– – вхід X не підключений до виходу D .

На основі табл. 3.6. вираз для вихідної функції D можна представити з використанням адресного коду:

$$D = \overline{A_1} \overline{A_0} X_0 \vee \overline{A_1} A_0 X_1 \vee A_1 \overline{A_0} X_2 \vee A_1 A_0 X_3$$

Схему мультиплексора, що відповідає рівнянню, показано на рис.

3.9.

Застосовують мультиплексори для таких операцій: комутації, як окремих ліній, так і груп ліній (шин); перетворення паралельного коду в послідовний; реалізації логічних функцій; побудови схем порівняння, генераторів коду. Символічно мультиплексор часто позначають: " $n-1$ ".

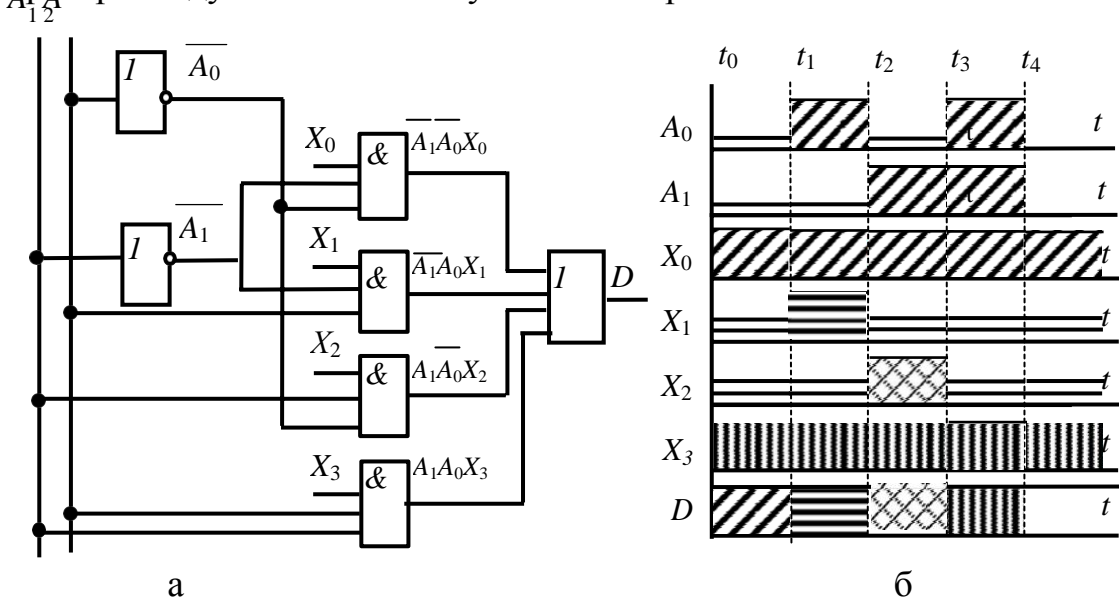


Рис. 3.9. Чотиривходовий мультиплексор: а – схема, б – часова діаграма роботи

Каскадування мультиплексорів

Мультиплексори в інтегральному виконанні випускають на чотири, вісім або шістнадцять входів. Каскадування дозволяє реалізувати комутацію довільного числа входніх ліній на базі серійних мікросхем мультиплексорів меншої розрядності.

Приклад побудови схеми мультиплексора на 16 входів на основі типових чотиривходових мультиплексорах показано на рис. 3.10.

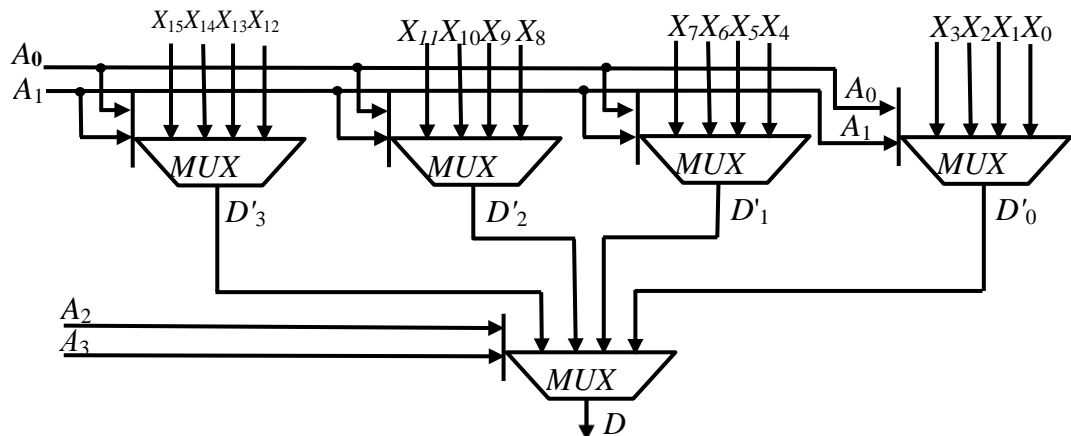


Рис. 3.10. Каскадування мультиплексорів

Молодші розряди адреси A_1, A_0 підключаються до адресних входів усіх мультиплексорів першого рівня, на виходах яких виробляються наступні функції:

$$\begin{aligned} D'_0 &= F_0 X_0 \vee F_1 X_1 \vee F_2 X_2 \vee F_3 X_3; \\ D'_1 &= F_0 X_4 \vee F_1 X_5 \vee F_2 X_6 \vee F_3 X_7; \\ D'_2 &= F_0 X_8 \vee F_1 X_9 \vee F_2 X_{10} \vee F_3 X_{11}; \\ D'_3 &= F_0 X_{12} \vee F_1 X_{13} \vee F_2 X_{14} \vee F_3 X_{15}, \end{aligned}$$

де F_0, F_1, F_2, F_3 – виходи внутрішніх дешифраторів:

$$F_0 = A_1 A_0; F_1 = \overline{A_1} A_0; F_2 = A_1 \overline{A_0}; F_3 = \overline{A_1} \overline{A_0} - \text{вхідні змінні.}$$

Старші розряди адреси A_3, A_2 подаються на адресні входи мультиплексора другого рівня, на виході якого формується остаточна функція

$$D = F'_0 D'_0 \vee F'_1 D'_1 \vee F'_2 D'_2 \vee F'_3 D'_3,$$

де внутрішні виходи дешифратора визначаються так:

$$F'_0 = A_3 A_2; F'_1 = \overline{A_3} A_2; F'_2 = A_3 \overline{A_2}; F'_3 = A_3 A_2$$

Нехай, наприклад, значення адреси $A_3 A_2 A_1 A_0 = 1011_2 = 11_{10}$. При цьому функція молодшої частини адреси приймає значення $F_3 = 11$, і на виходах мультиплексорів першого рівня одночасно формуються сигнали

$$D'_0 = X_3, D'_1 = X_7, D'_2 = X_{11}, D'_3 = X_{15}..$$

Функція старшої частини адреси $F'_2 = A_3 A_2 = 10$ забезпечує передачу на вихід значення сигналу, тобто.

$$D = F'_2 D = F'_2 F X = A_3 A_2 A A X$$

3.5 Загальна характеристика демультимплексорів

Функціональний вузол комп'ютера, призначений для комутації (перемикання) сигналу з одного інформаційного входу D на один з n інформаційних виходів називається **демультиплексором**. Номер виходу, на який за кожний такт машинного часу передається значення вхідного сигналу, визначається адресним кодом $A_0, A_1, A_2, \dots, A_{m-1}$. Адресні входи m та інформаційні виходи n зв'язані співвідношенням $n = 2^m$ або $m = \log_2 n$. Демультимплексор виконує функцію, зворотну функції мультиплексора.

Стосовно мультиплексорів і демультимплексорів користуються також терміном "селектори" даних. В умовних графічних позначеннях (рис. 3.11) функція демультимплексора позначається буквами DMX . Демультимплексори часто позначають: " $1 \rightarrow n$ ".

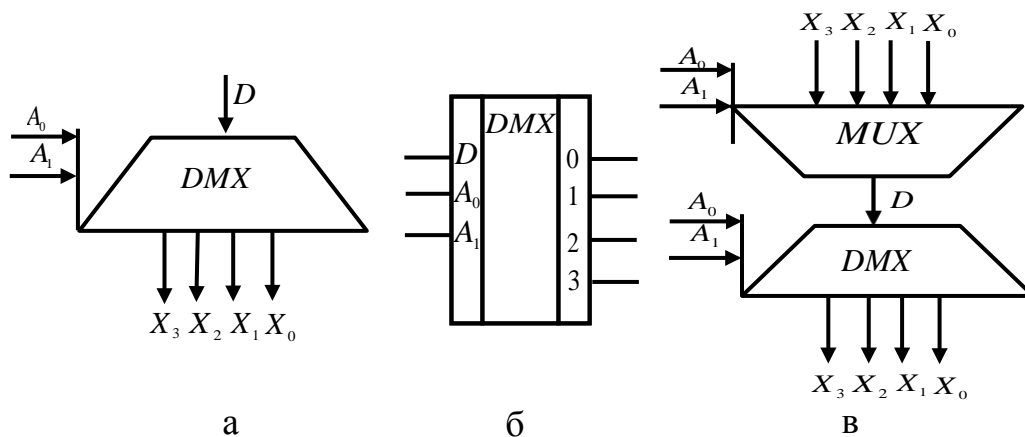


Рис. 3.11. Умовні графічні позначення демультимплексорів: а – на функціональних схемах; б – на принципових схемах; в – типове з'єднання з мультиплексором де D – інформаційний вхід;

3.6 Демультиплексор на чотири входи

Логіка роботи демультиплексора на чотири входи представлена в таблиці 3.7.

Таблиця 3.7. Логіка роботи демультиплексора на чотири входи.

A_1	A_2	X_3	X_2	X_1	X_0
0	0	0	0	0	D
0	1	0	0	D	0
1	0	0	D	0	0
1	1	D	0	0	0

За даними табл. 3.7 записуємо систему рівнянь для інформаційних виходів:

$$X_0 = \overline{A_1} \overline{A_0} D; X_1 = \overline{A_1} A_0 D; X_2 = A_1 \overline{A_0} D; X_3 = A_1 A_0 D$$

На основі рівнянь (3.13) побудована схема демультиплексора на чотири входи на тривходових елементах І, які наведено на рис. 3.12.

Демультиплексори призначені для виконання таких операцій:

- комутації, як окремих ліній, так і багаторозрядних шин;
- перетворення послідовного коду в паралельний;
- реалізації логічних функцій та інших.

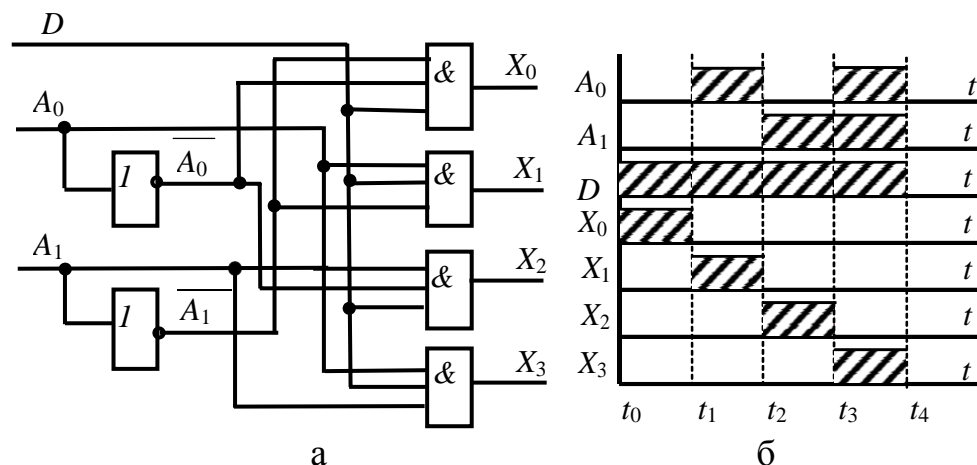


Рис. 3.12. Демультиплексор: а – схема, б – часова діаграма роботи

Контрольні запитання

1. Що називають дешифратором?
2. Основні характеристики дешифратора.

3. Умовні графічні позначення дешифраторів на електричних схемах.
 4. Як позначається логічна функція дешифратора?
 5. Що називають стробуючими входами W дешифратора?
 6. Призначення входу W .
 7. Система функціонування повного дешифратора.
 8. Що називають активним виходом дешифратора?
 9. Що називають унітарним виходом дешифратора?
- 10 Призначення дешифраторів.
10. Що являє собою лінійний дешифратор?
 11. Логіка роботи дешифратора на два входи і чотири виходи.
 12. Схема лінійного дешифратора на елементах I з однофазними входами і стробуванням.
 13. Схема лінійного дешифратора на елементах АБО з однофазними входами і стробуванням.
 14. Область застосування дешифраторів.
 15. Що називають шифратором?
 16. Умовні графічні позначення шифраторів на електричних схемах.
 17. Як позначається логічна функція шифратора?
 18. Призначення шифраторів.
 19. Логіка роботи шифратора на три входи.
 20. Схема шифратора на три входи.
 21. Часова діаграма роботи шифратора на три входи.
 22. Область застосування шифраторів.
 23. Дати визначення мультиплексора.
 24. Умовне графічне позначення мультиплексора.
 25. Призначення мультиплексора.
 26. Логіка роботи чотиривходового мультиплексора.
 27. Схема чотиривходового мультиплексора.
 28. Часова діаграма роботи чотиривходового мультиплексора.
 29. Призначення каскадування.
 30. Схема каскадування мультиплексора.
 31. Дати визначення демультимплексора.
 32. Умовне графічне позначення демультимплексора.
 33. Призначення демультимплексора.
 34. Логіка роботи демультимплексора на чотири входи.
 35. Схема демультимплексора на чотири входи.
 36. Часова діаграма роботи демультимплексора на чотири входи.