|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Андрєєв Марк***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **АБО-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **14 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **інверсний** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі АБО-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах АБО-НЕ з довільною потрібною вам кількістю входів**4-розрядний** **лічильник, що віднімає,** **з паралельним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |

|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Грінченко Назарій***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **І-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **15 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **прямий** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі І-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах І-НЕ з довільною потрібною вам кількістю входів**6-розрядний** **лічильник, що додає,** **з послідовним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |

|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Дружкін Егор***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **І-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **17 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **інверсний** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі І-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах І-НЕ з довільною потрібною вам кількістю входів**4-розрядний** **лічильник, що додає,** **з паралельним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |

|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Іванов Станіслав***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **АБО-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **18 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **інверсний** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі АБО-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах АБО-НЕ з довільною потрібною вам кількістю входів**5-розрядний** **лічильник, що віднімає,** **з послідовним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |

|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Литовченко Олексій***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **АБО-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **16 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **прямий** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі АБО-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах АБО-НЕ з довільною потрібною вам кількістю входів**4-розрядний** **лічильник, що віднімає,** **з наскрізним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |

|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Мендела Лілія***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **АБО-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **12 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **прямий** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі АБО-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах АБО-НЕ з довільною потрібною вам кількістю входів**4-розрядний** **лічильник, що віднімає,** **з послідовним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |

|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Отрошко Поліна***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **І-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **13 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **інверсний** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі І-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах І-НЕ з довільною потрібною вам кількістю входів**5-розрядний** **лічильник, що додає,** **з наскрізним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |

|  |
| --- |
| *Група* ***ПНК-21,*** *студент(ка)* ***Стеценко Роман***Індивідуальне завдання з Комп'ютерної схемотехніки* Описати на VHDL та здійснити моделювання роботи елементів **І-НЕ** з двома і трьома входами і затримкою формування сигналу, що дорівнює **11 нс**.
* Побудувати з цих елементів *Т*-тригер, що має **прямий** динамічний вхід синхронізації *С* та асинхронні входи *R* i *S*. Пересвідчитись у правильній роботі тригера, виконавши моделювання, та виміряти час інвертування стану тригера (тобто затримки між зміною сигналу на вході *С* і встановленням відповідних значень сигналів на виходах  і ). Зробити загальний висновок про затримки у тригері, якщо затримка у логічному елементі І-НЕ дорівнює *τ*.
* Побудувати на цих тригерах та елементах І-НЕ з довільною потрібною вам кількістю входів**3-розрядний** **лічильник, що додає,** **з паралельним** **переносом**. Асинхронні входи тригерів *R* об'єднайте і використайте для встановлення в лічильнику початкового нульового значення, а входи *S* – використайте для запису в лічильник довільного числа паралельним кодом. Пересвідчіться у правильній роботі схеми лічильника, виконавши її моделювання в усіх режимах, та виміряйте час найдовшого перехідного процесу у цьому лічильнику. Узагальніть отриманий результат на випадок довільної розрядності лічильника *n*, виразивши цей час у вигляді формули, що залежить від затримки *τ* і розрядності *n*.
 |